

# Altera QuartusII による FPGA の開発手順

舞鶴工業高等専門学校 電子制御工学科 町田秀和

Altera 社の QuartusII は同社の FPGA 用の強力な EDA(Electronics Design Automation)ツールである。環境設定、回路/プログラムの記述、回路合成、ピンアサイン、シミュレーション、プログラミング(FPGA への書き込み)までを、一貫して実行することができる。

QuartusII はフリー版(インターネットでの登録だけは必要)が存在するので、

FPGA 評価ボード、ダウンロードケーブル、電源、さえあれば即座にデジタルシステムの試作(プロトタイピング)ができる。別紙にフリー版のライセンシングのあらましを示す(簡単である)。フリー版の URL アドレスは以下の通りである。

[http://www.altera.co.jp/support/software/download/altera\\_design/quartus\\_we/dnl-quartus\\_we.jsp](http://www.altera.co.jp/support/software/download/altera_design/quartus_we/dnl-quartus_we.jsp)

この開発手順の説明では、半加算器を部品とした全加算器を開発する。ターゲットは、デバイスファミリ MAX7000S の EPM7128SLC84-15 である。このチップは 84 ピン PLCC タイプでソケットを用いて簡単に実装することができ、また EEPROM タイプの CPLD であるので電源を切っても回路情報が失われず、かつ大変高速であるが、回路規模はあまり大きくない(もっと大規模にするには SRAM タイプの FLEX や Cyclone シリーズがよいが、外付け EEPROM が必要である)。2004/7 現時点では¥1,650 程度で入手できる。

なお、MAX7000 シリーズはフリー版に対応しており、即座に評価できる。付録 A に示す、簡単に自作できる FPGA 評価ボード、付録 B に簡単に自作できる ダウンロードケーブルを用いれば、即座に評価することができる。

なお、ダウンロードケーブル(ByteBlaster/MV)のドライバのインストールについては、次の Altera 社の代理店のホームページに詳しい(少々変則的だが難しくはない)

[http://altimanet.com/pdf/altera/tool/driver\\_bb\\_v20.pdf](http://altimanet.com/pdf/altera/tool/driver_bb_v20.pdf)


(なお、ドライバ自体は QuartusII のインストール先の c:\quartus\drivers\win2000にある。(Windows2000/XP)の場合)

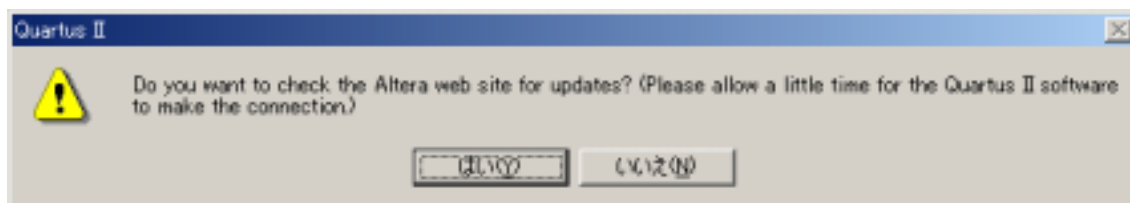
## 【目次】

1. QuartusII の起動	...2	8. ピンアサイン	...23
2. プロジェクトの作成	...3	9. プログラミング(ダウンロード)	...26
3. 半加算器(部品)の回路図作図	...8	付録 A. MAX7128S 評価ボードの自作	...27
4. 全加算器(全体)の回路図作図	...12	付録 B. バイトブラスタ・ケーブルの自作	...29
5. コンパイル	...15		
6. テスト用波形ファイルの作成	...16		
7. シミュレーション	...21		

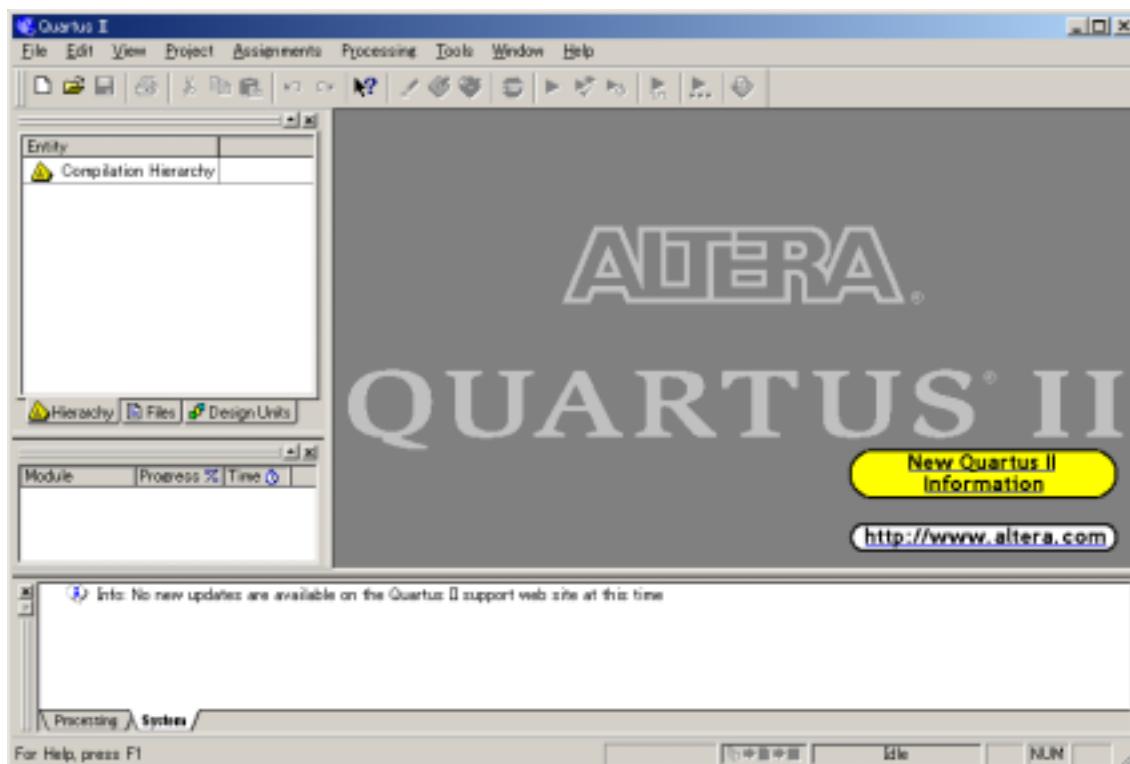
## 1. QuartusII の起動



デスクトップの QuartusII 4.0 のアイコン  をダブルクリックする。Altera の Web サイトに接続し、アップデートなどのサービスを受けるなら、はい(Y)をクリックする。インターネットに接続していなければ、いいえ(N)をクリックする。

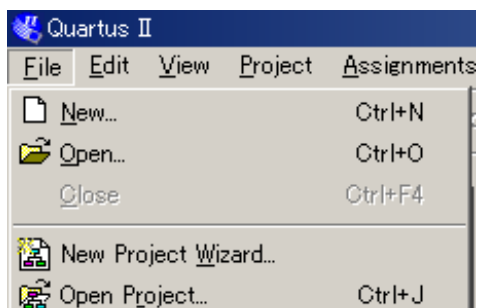


起動後の QuartusII の画面は下のとおりである。



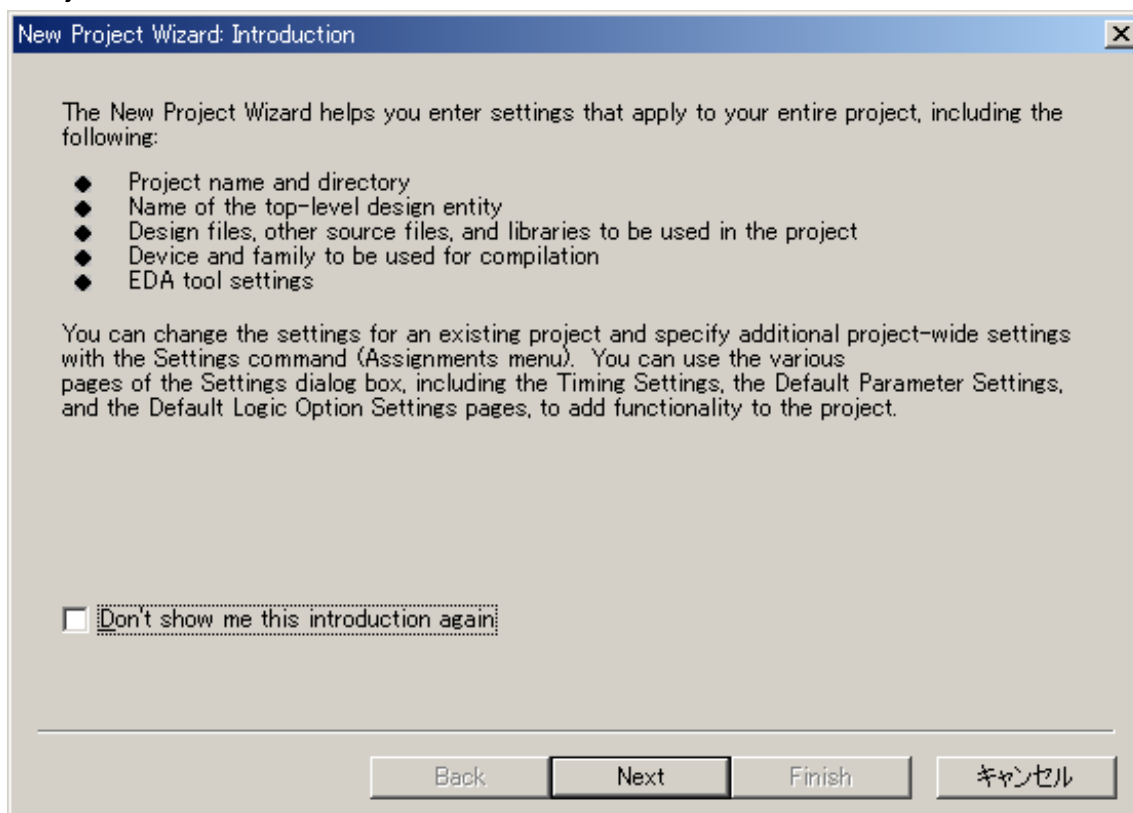
## 2. プロジェクトの作成

QuartusII では、回路の開発には必ずプロジェクトを作成しなければならない。

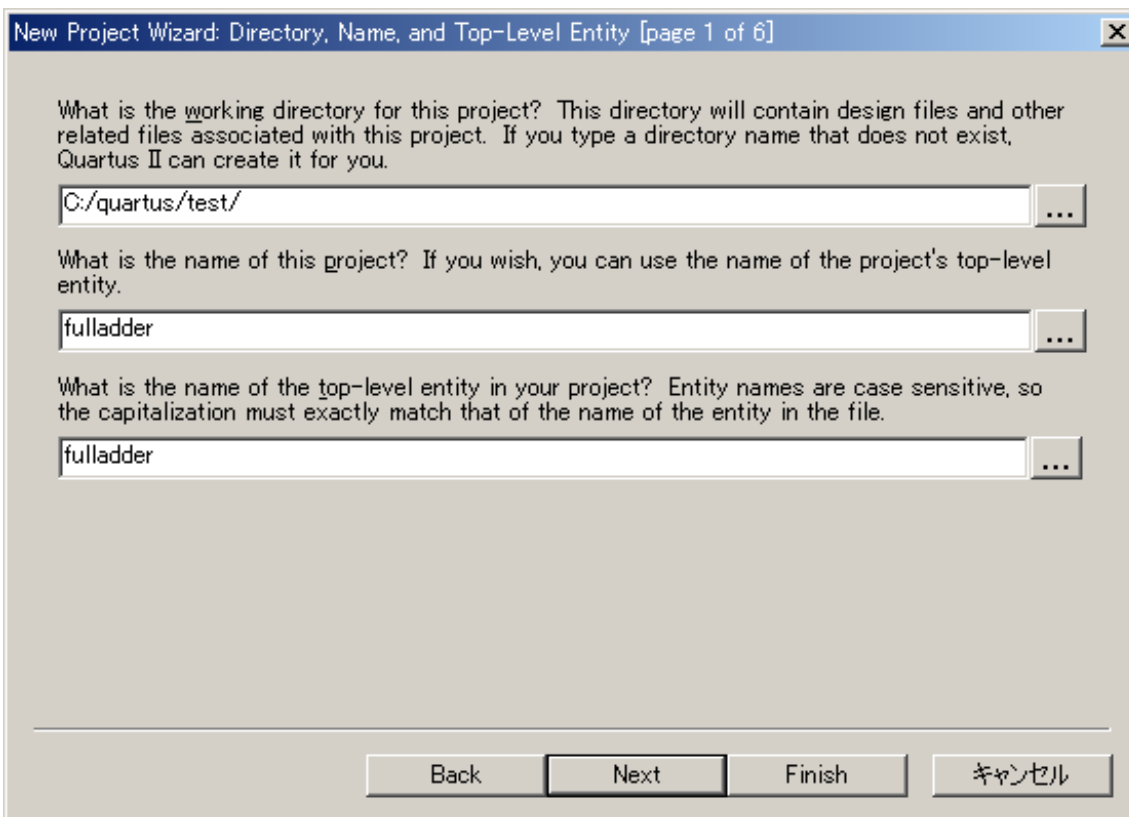


**File**      **New Project Wizard** を選ぶ。

**【Project Wizard 0 ページめ】** Wizard の説明画面、**Next** で次に進む。



【Project Wizard 1 ページめ】 作業ディレクトリ、トップレベル名を指定し次に進む。



New Project Wizard: Directory, Name, and Top-Level Entity [page 1 of 6]

What is the working directory for this project? This directory will contain design files and other related files associated with this project. If you type a directory name that does not exist, Quartus II can create it for you.

C:/quartus/test/ ...

What is the name of this project? If you wish, you can use the name of the project's top-level entity.

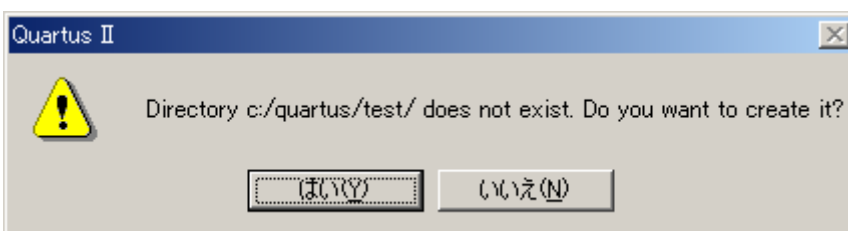
fulladder ...

What is the name of the top-level entity in your project? Entity names are case sensitive, so the capitalization must exactly match that of the name of the entity in the file.

fulladder ...

Back Next Finish キャンセル

作業ディレクトリが存在していなければ「作りますか?」と聞かれるので、はい(Y)とする。



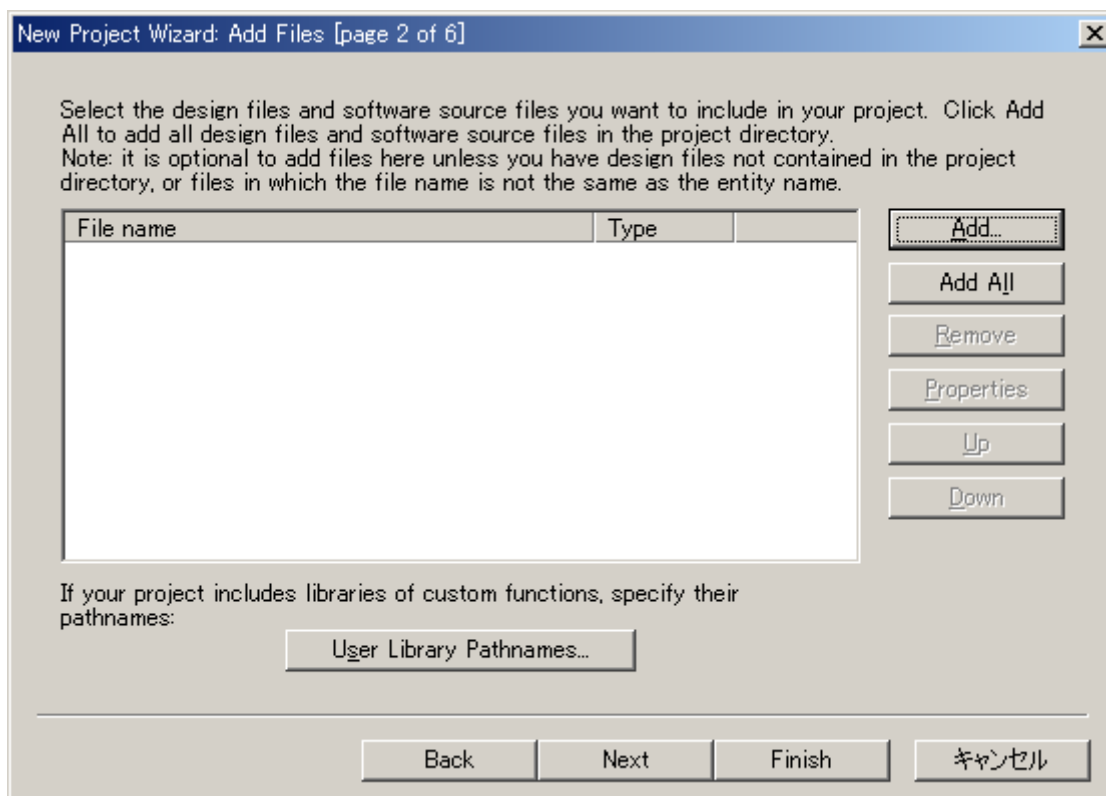
Quartus II

! Directory c:/quartus/test/ does not exist. Do you want to create it?

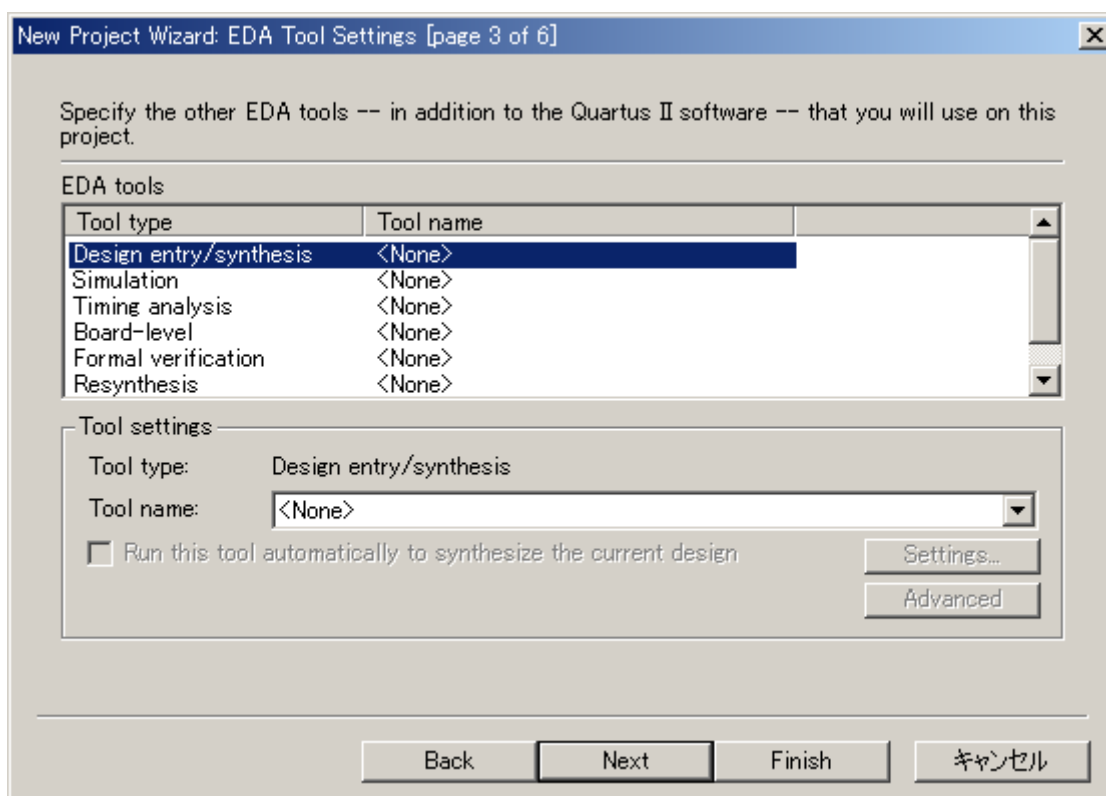
はい(Y) いいえ(N)

コメント: もし既存の作業ディレクトリを指定すると(一向に問題ない)、ダイアログボックスで、「既存のディレクトリです新たに作りますか」と聞いてくるので、(N)をクリックする。

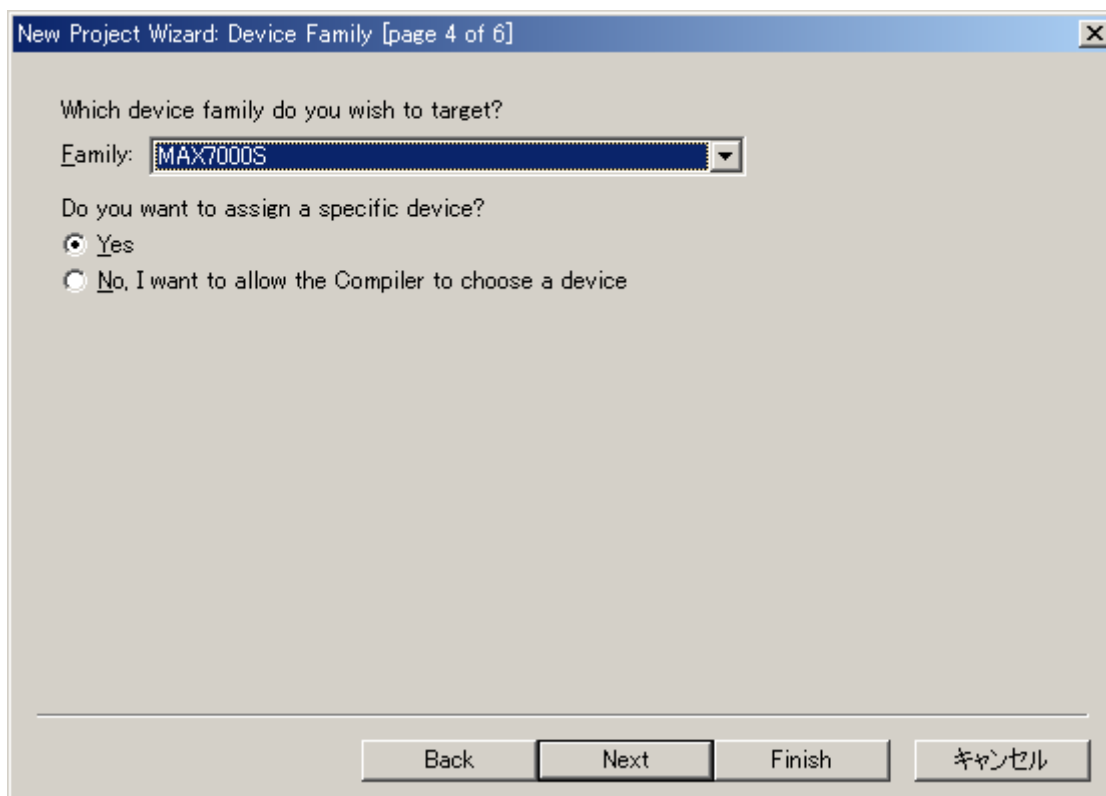
【Project Wizard 2 ページめ】 外部ツール/ファイルの設定。何も指定せず次に進む。



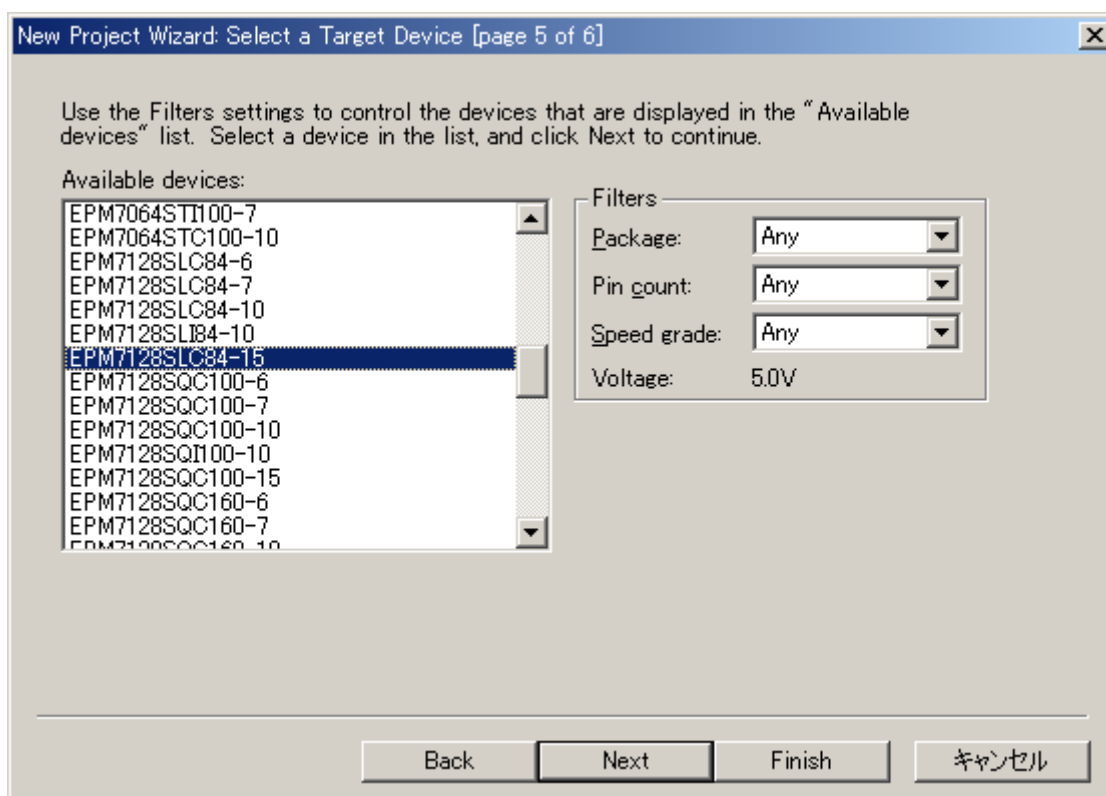
【Project Wizard 3 ページめ】 他社製ツールを使うか聞かれる。何も指定せず次に進む。



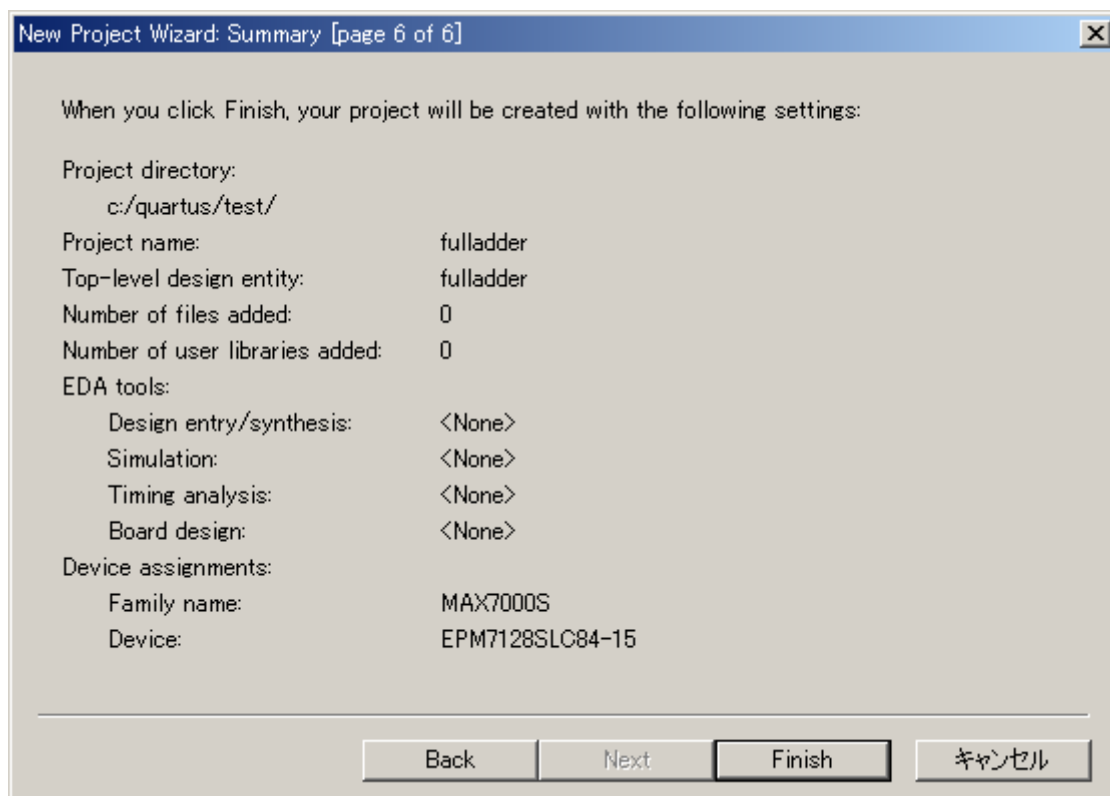
【Project Wizard 4 ページめ】 デバイスファミリの指定 MAX7000S を選び次に進む。



【Project Wizard 5 ページめ】 デバイスの指定 MAX7128SLC84-15 を選び次に進む。



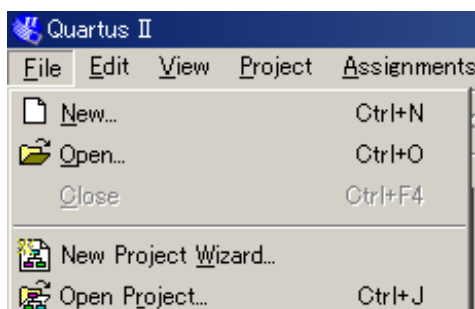
【Project Wizard 6 ページめ】 確認画面、よければ次に進む。



### 3. 半加算器(部品)の回路図エディタでの作図

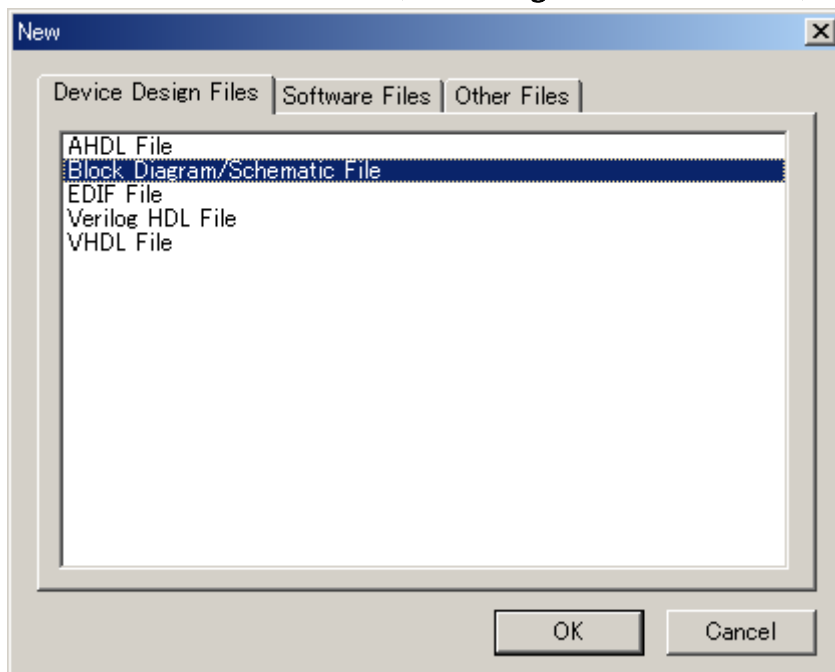
この開発手順の説明では、半加算器を部品とした全加算器を開発する。

ここでは、まず半加算器を回路図で作成する。もちろん、VHDL 言語でも同様に行える。



【回路図エディタの起動】 File New を選ぶ。

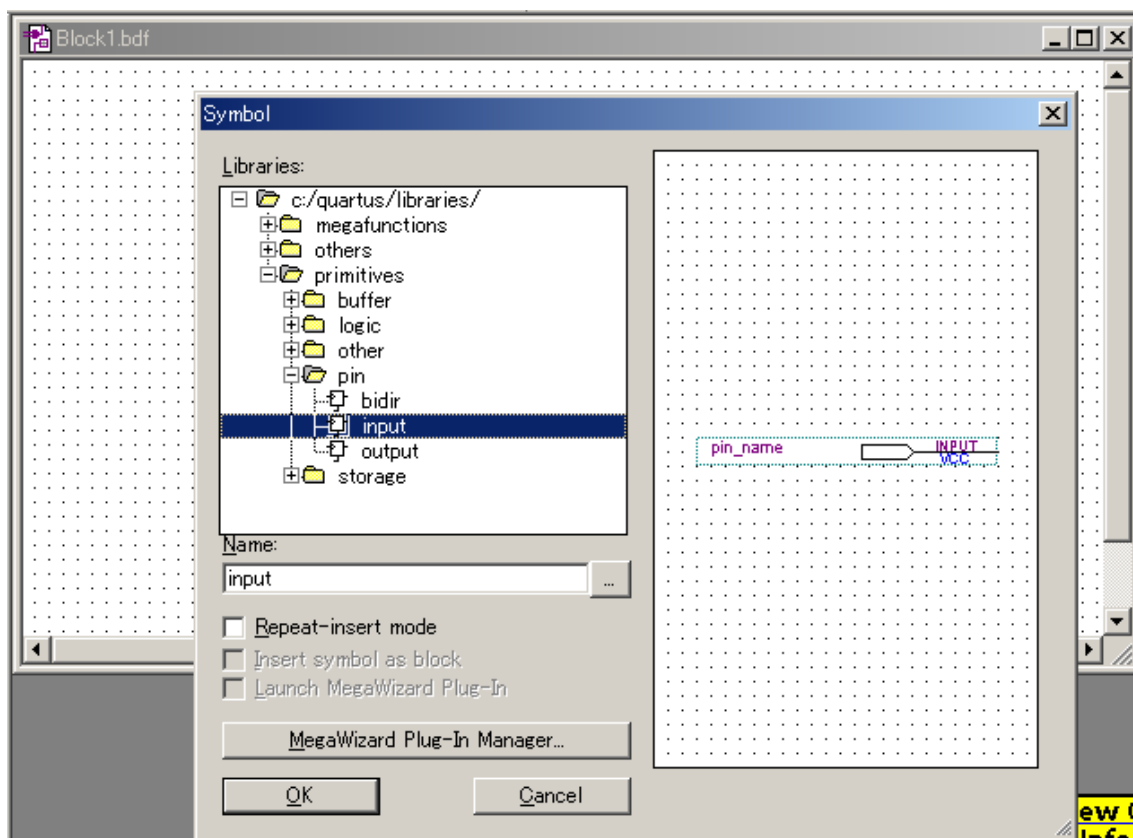
ブロック図/回路図エディタ (**Block Diagram/Schematic File**)を選び、OK をクリック



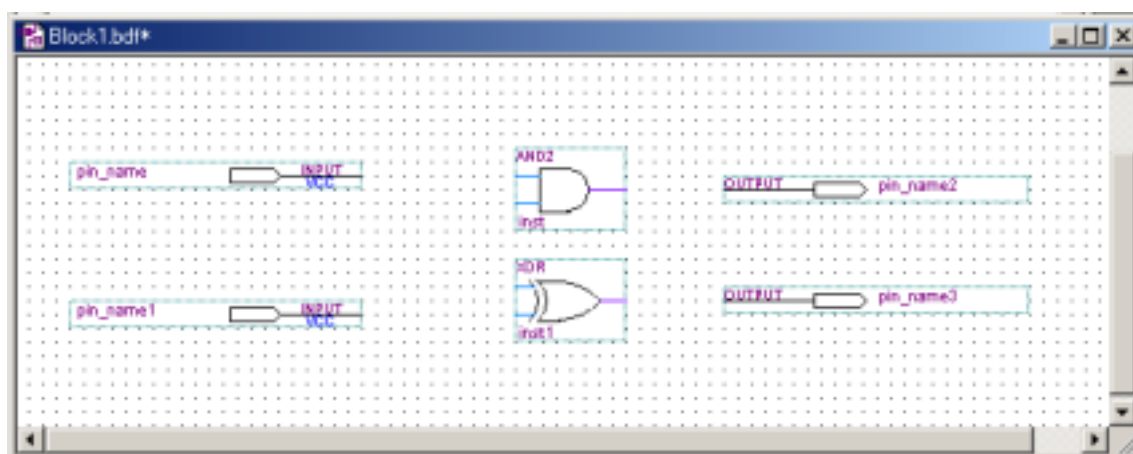
**コメント:**もちろん、システム全体を VHDL 言語で記述することもできるが、回路図も混在することができる。回路図は信号の流れを視覚的に把握しやすいので、特に全体のブロック線図を示すのに適している。



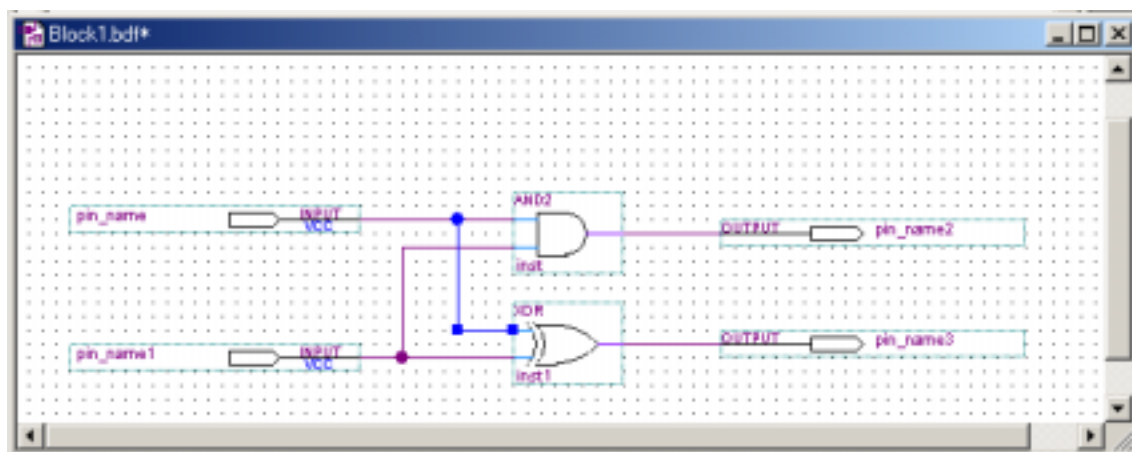
**【部品の配置】** まず入力端子を配置する。回路図エディタ内の任意の場所で、左ダブルクリックし、**Symbol ダイアログ**で、 **c:/quartus/libraries/の左の「+」** を左クリックし、以下同様にその中の **primitive の pin の中の input** を選び OK をクリックする。そして、回路図エディタ内の配置したい場所で左クリックする。



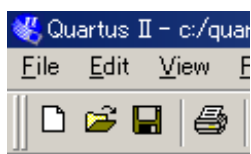
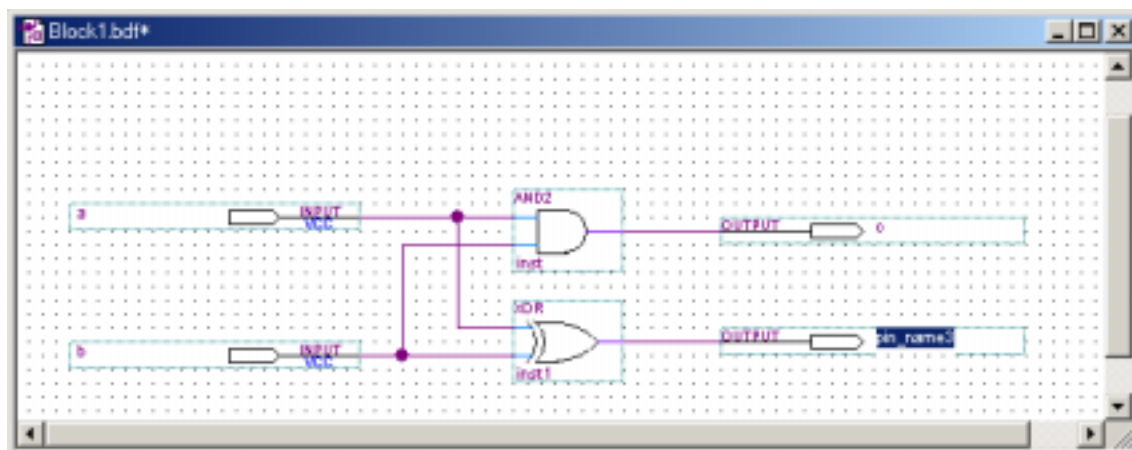
同様に、**primitive の pin から output**、**primitive の logic から AND2 と XOR** を下図のように配置する。なお、複数配置したい場合は、**ctrl-C,ctrl-V** でコピペする。



【配線】下図のように配線する。キーポイントは、部品(ピン、ゲート)の端子のちょうど上でクリックして配線を引き出すことである(MAX+PLUS2 よりも少しデリケートである。)なお、配線は一回しか直角に曲げられないので、二回以上直角に曲げるには、二回に分けて配線する。また、線の途中からは線を引き出すことはできない。

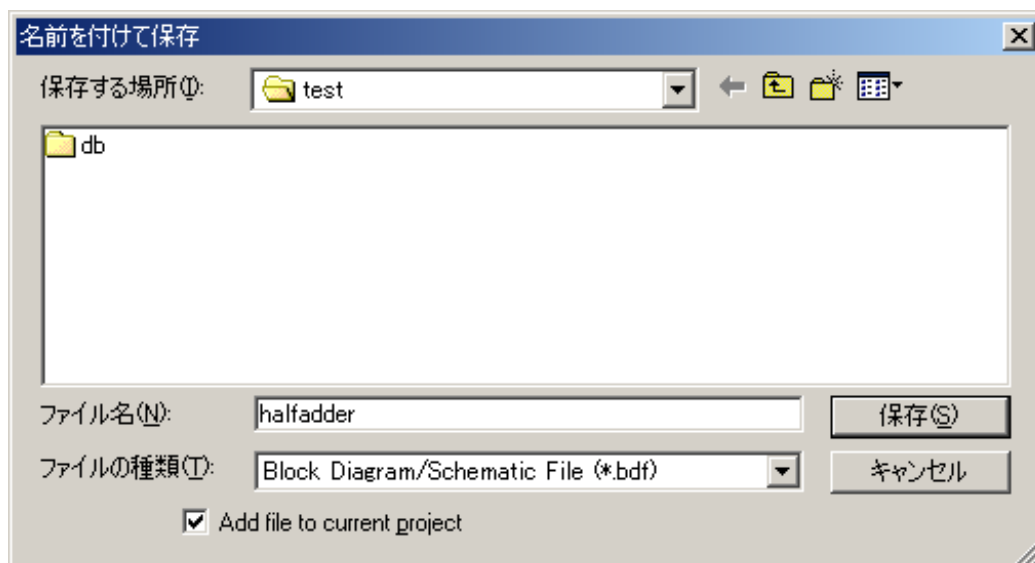


【端子名の入力】 **pin name** を左ダブルクリックして黒色に反転し名前を付ける。(下図の黒色に反転している端子は「s」を入力する)

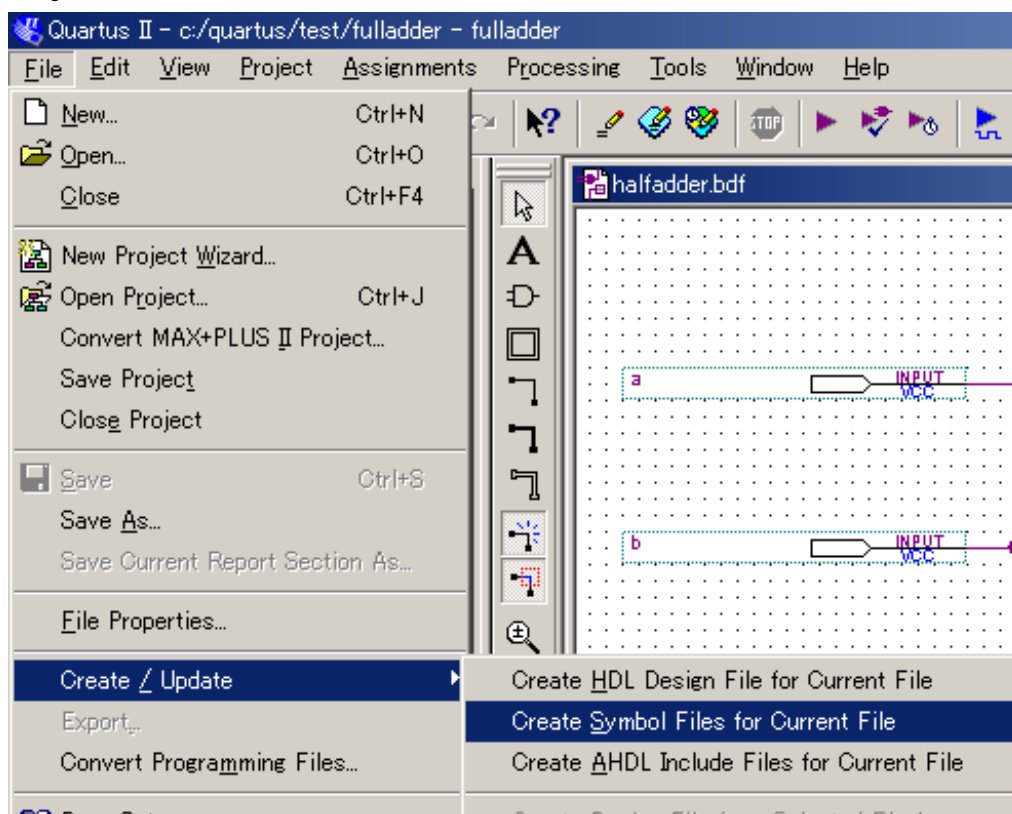


【回路図の保存】フロッピーのボタンを押しセーブする。

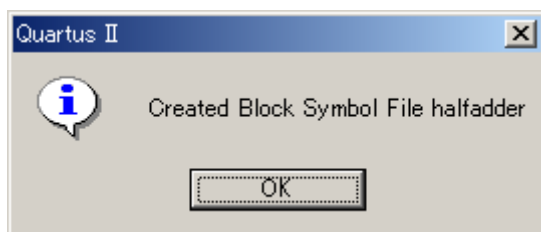
ファイル名はここでは「halfadder.bdf」とする。(拡張子は自動的に付けられる)



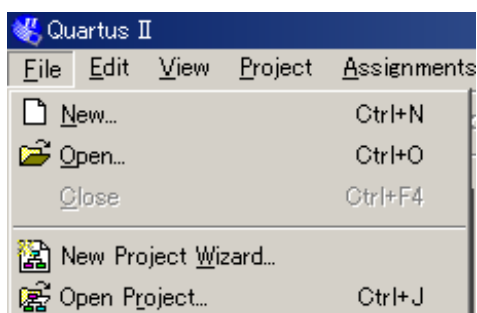
**【部品化(シンボル化)】**するには、File Create Update Create Symbol Files for current files とする。回路図エディタの任意の場所で左クリックすれば、Symbol ダイアログの Projects 以下にシンボルができる。



シンボルが作成できたとのダイアログが出るので、**OK** をクリックする。

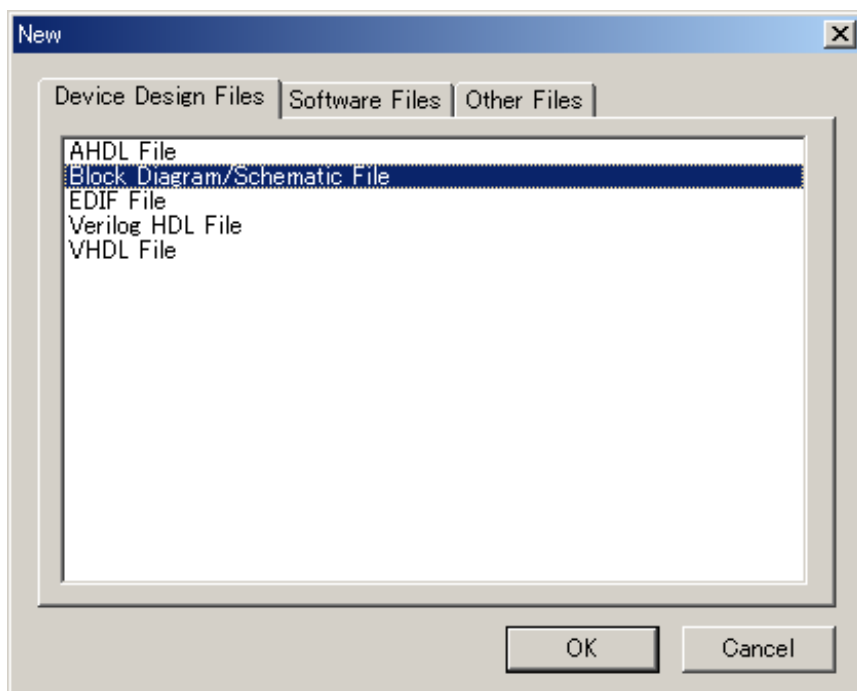


#### 4. 全加算器(全体)の回路図エディタでの作図



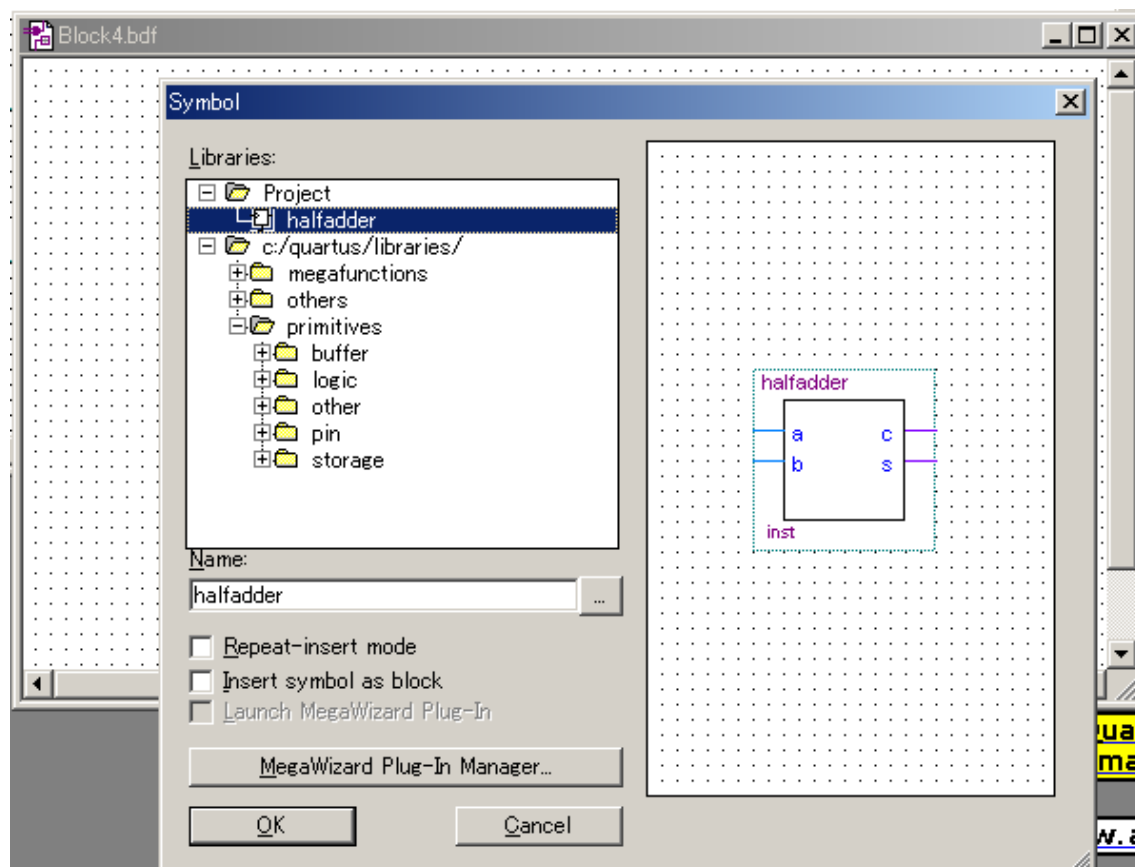
【回路図エディタの起動】 File New を選ぶ。

ブロック図/回路図エディタ (**Block Diagram/Schematic File**)を選び、**OK** をクリック

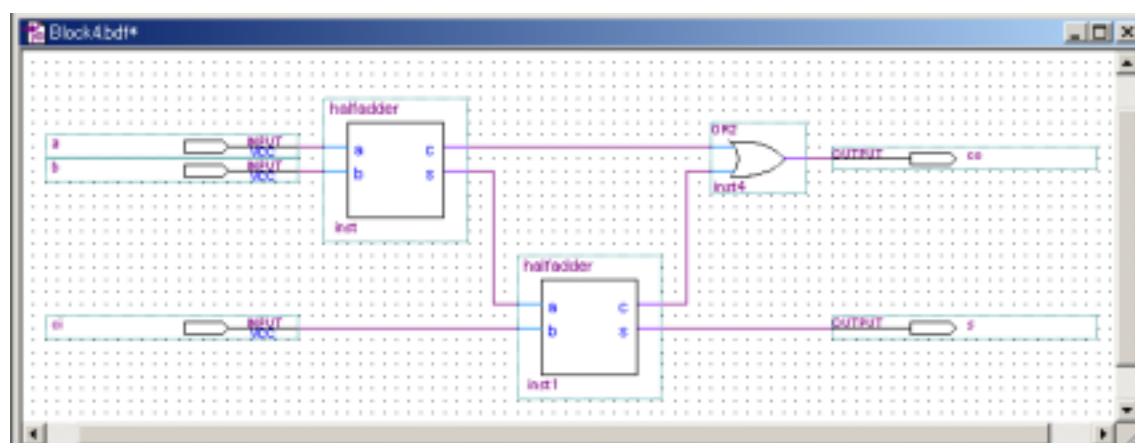


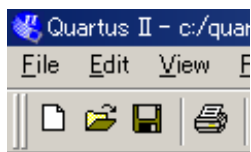
【既存シンボルの配置】 作成しておいた半加算器のシンボルを配置する。回路図エディタ内

の任意の場所で、左ダブルクリックし、**Symbol ダイアログ**で、Project の左の「+」をクリックすると **halfadder** が現れるので選択して、**OK** をクリックする。



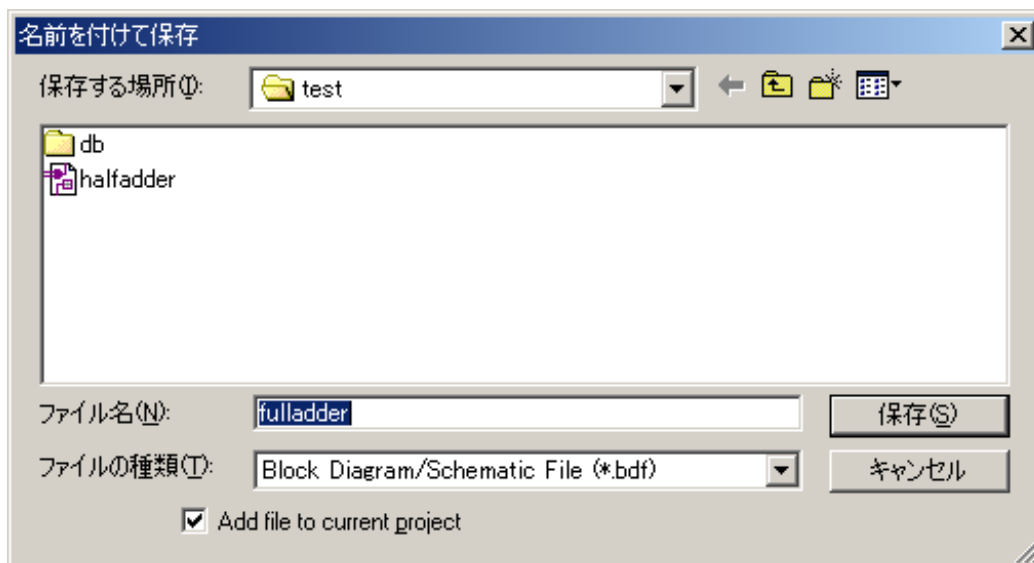
【各部品の配置と名前づけ】 下の図のように各部品を配置し、端子に名前をつける。





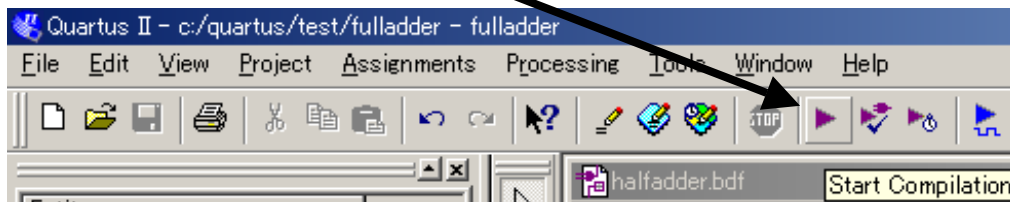
**【回路図の保存】** フロッピーのボタンを押しセーブする。

この回路図は一番トップレベルであるので、ファイル名はプロジェクト名(4 ページ)と同じにしなければならないので、ここでは「fulladder.bdf」とする。(拡張子は自動的に付けられる)

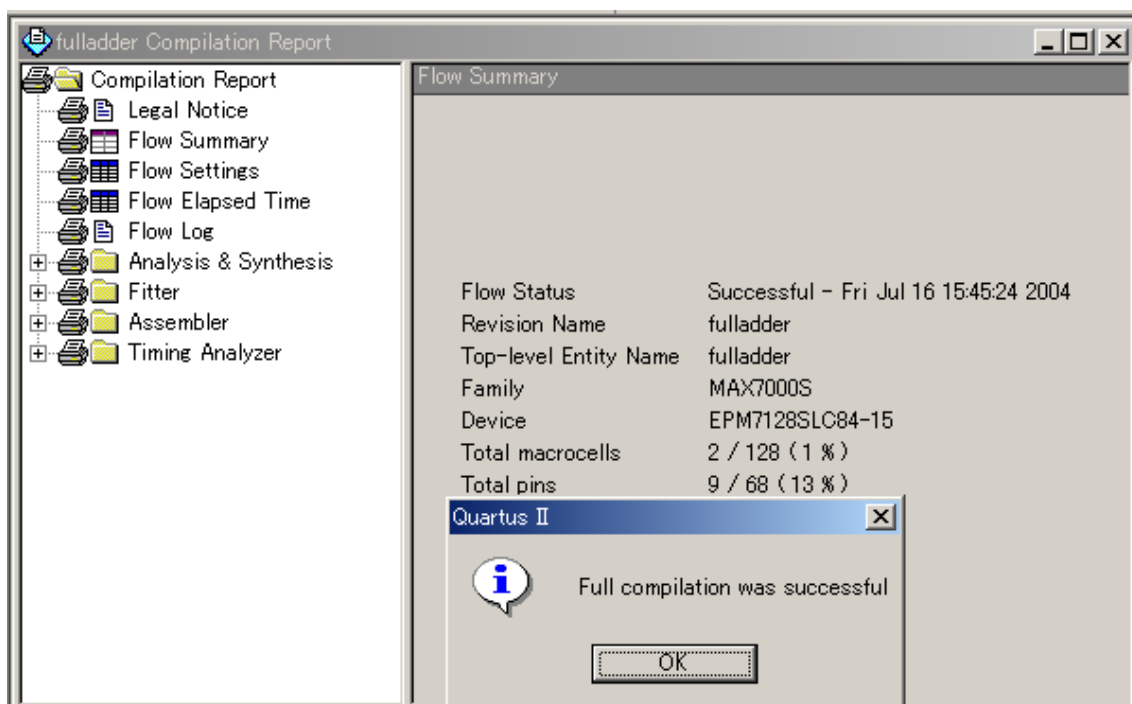


## 5. コンパイル

紫色の右向き三角のボタンをクリックし、コンパイルする。

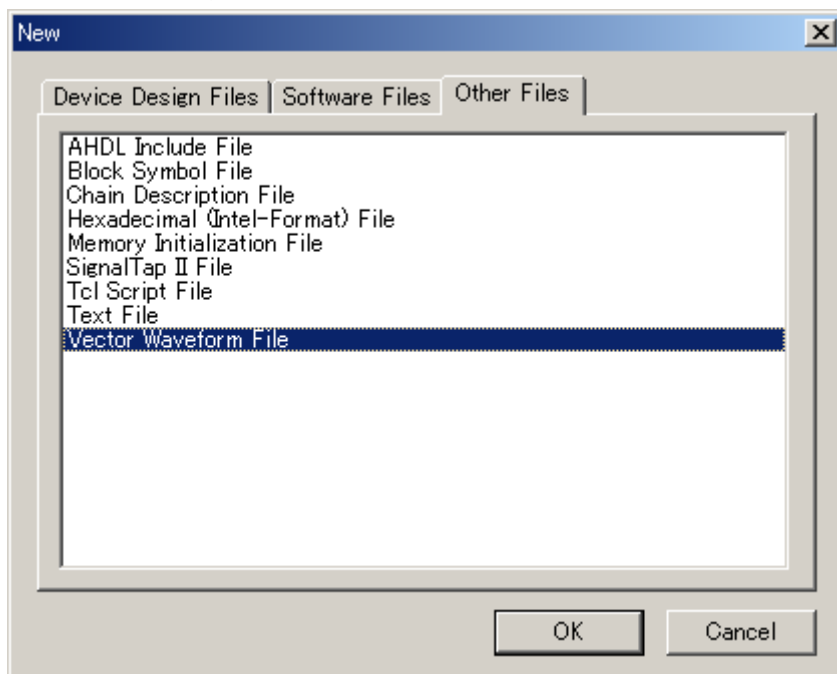


問題なくコンパイルできれば、下の「コンパイルに成功しました」とのダイアログがあるので、**OK** をクリックする。



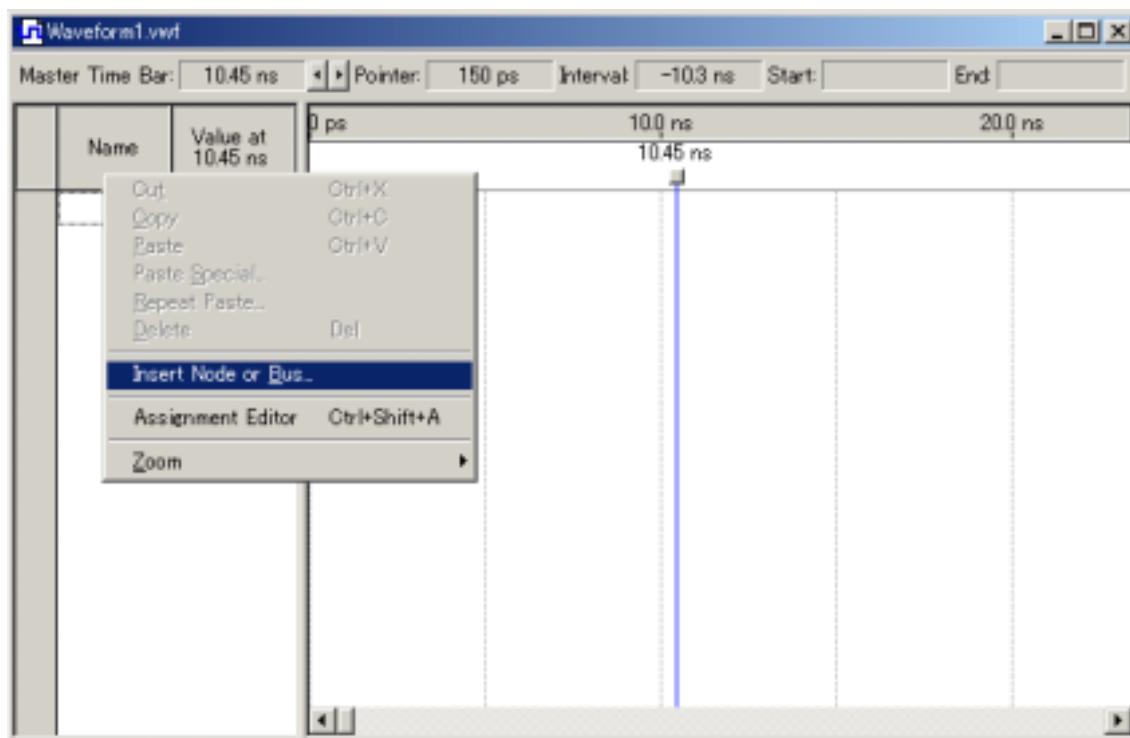
## 6. テスト用波形ファイルの作成

【波形エディタの起動】 File New のダイアログから **Vector Waveform File** を選ぶ。



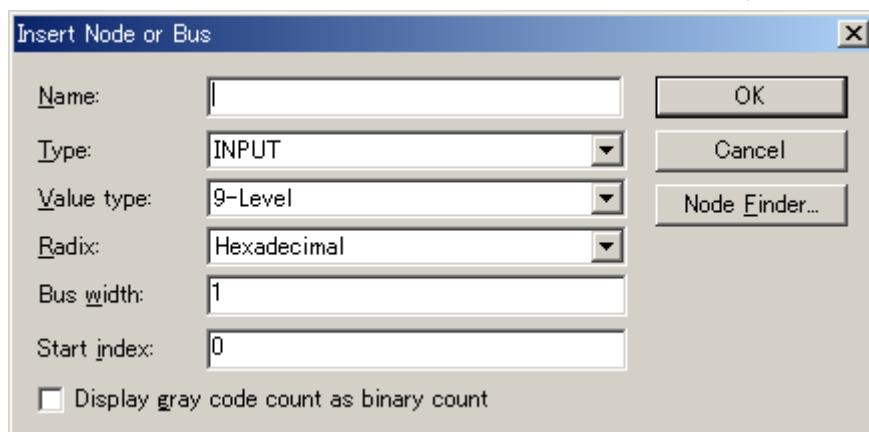
【入出力端子情報の読み込み】


Wave form エディタの Name 欄を右クリックし、**Insert Node or Bus** をクリックする。




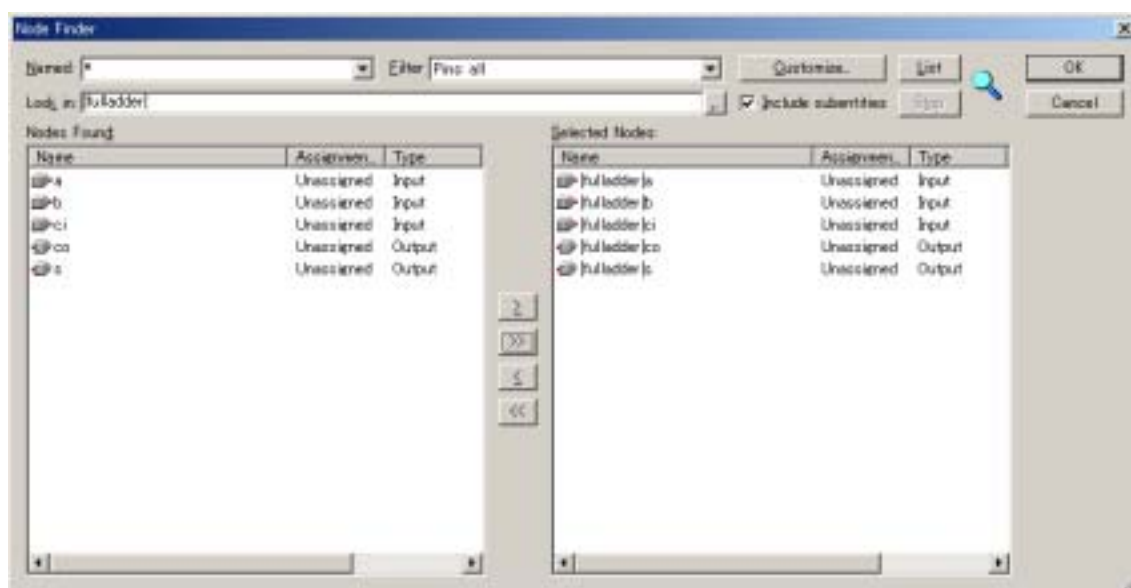


Node or Bus ダイアログで Node Finder ボタンをクリックする。

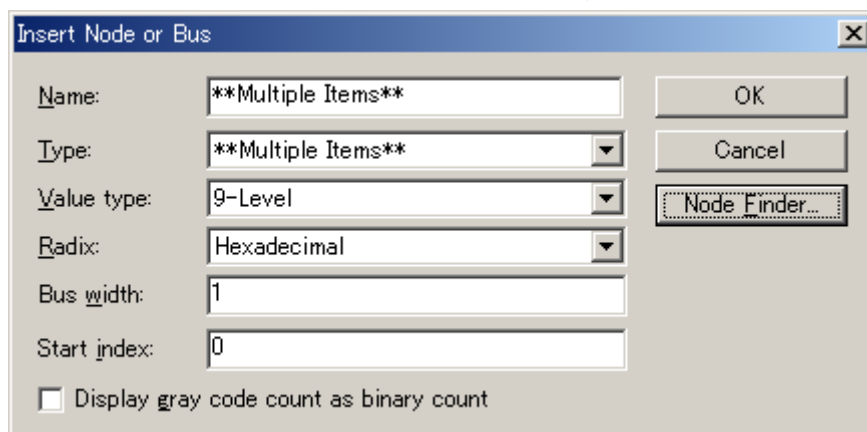


Node Finder ダイアログで Filter が「Pins all」であるのを確認し、 ボタンをクリック


し、 ボタンを押して ピン情報を読み込み、**OK** をクリックする。




下の Insert Node or Bus のダイアログでるので、確認し OK をクリックする。



### 【入出端子へのテスト波形の設定】

入力端子の a,b,ci のピン名の左の、シンボルを左クリックし、

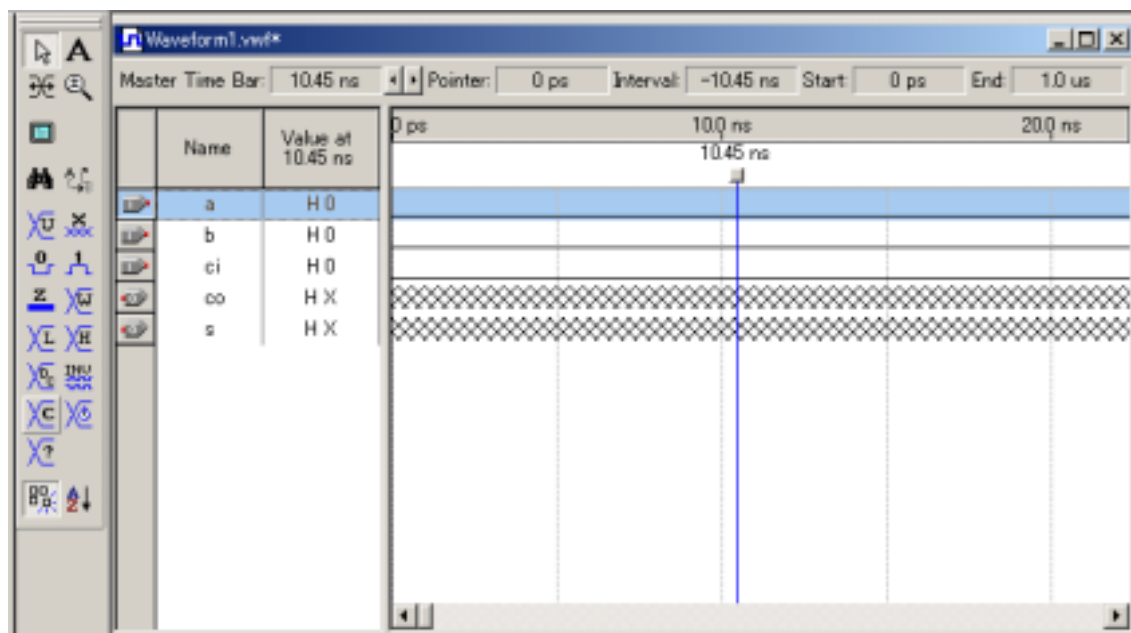
クロック入力ボタン  で、

ピン A では、Period 20nsec としクロックを入力する。

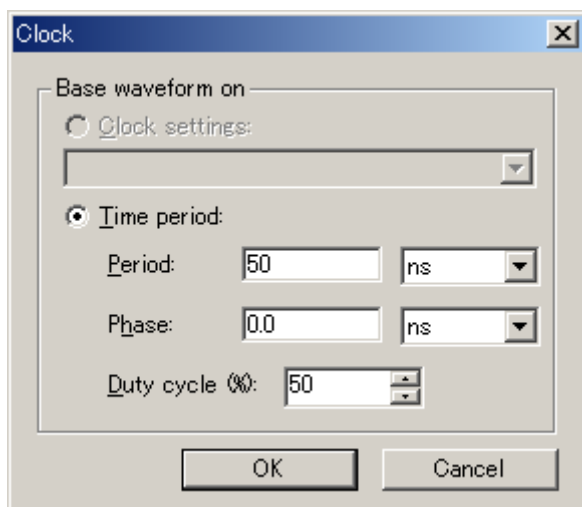
ピン B では、Period 40nsec としクロックを入力する。

ピン CI では、Period 80nsec としクロックを入力する。

Period の設定は次ページのダイアログで直接キー入力する。

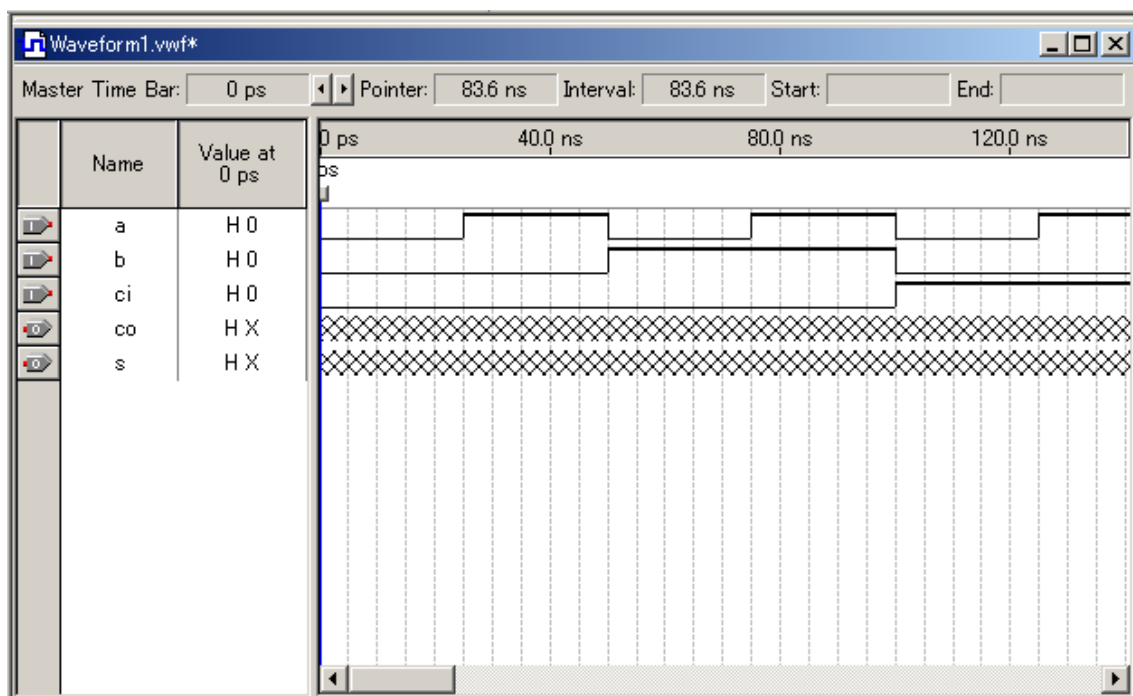


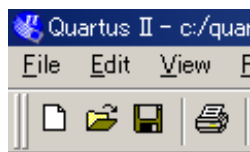
クロック入力  のダイアログ : Period(周期)などを直接キー入力する。



全ての入力端子 a,b,ci にクロックを設定すると、下図のようになる。

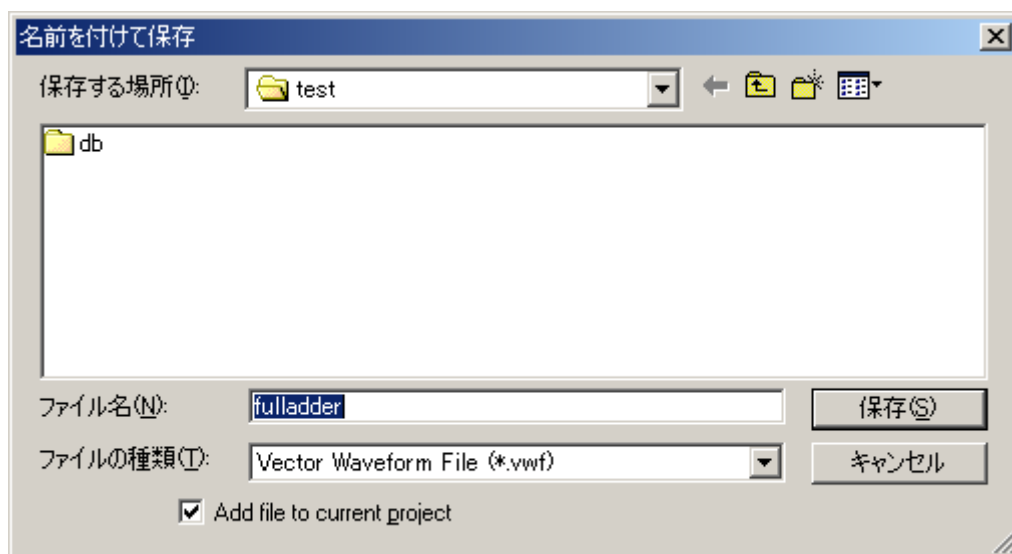
このように、倍々の Period でクロックを設定すると全ての組み合わせを設定できる。



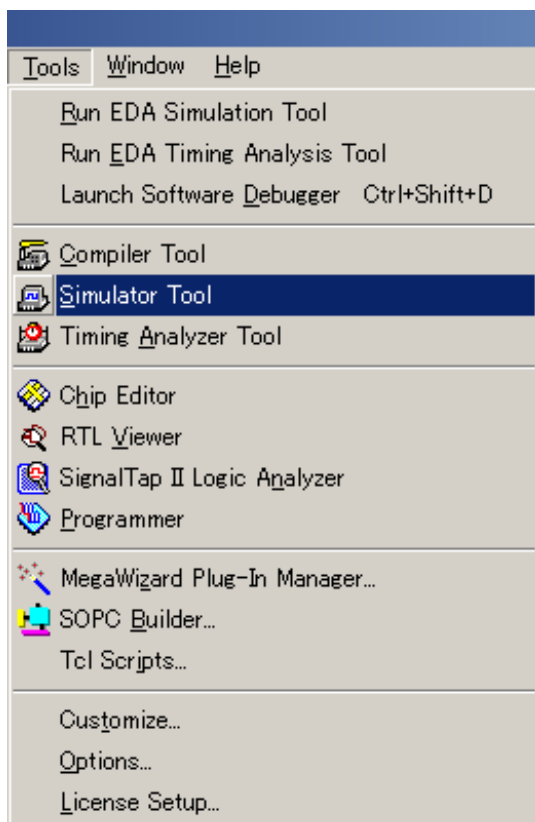


**【波形図の保存】**フロッピーのボタンをクリックしセーブする。

波形図名は自動的に「fulladder」となっているので(拡張子は自動的に付けられる)、そのまま**保存ボタン**をクリックしセーブする。



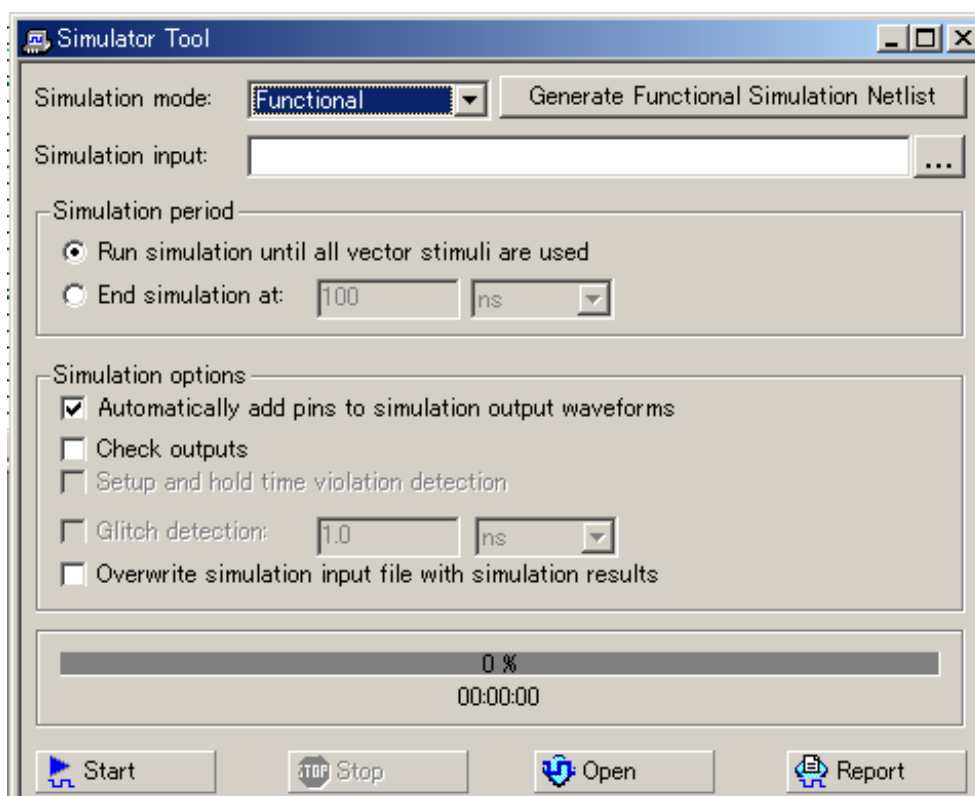
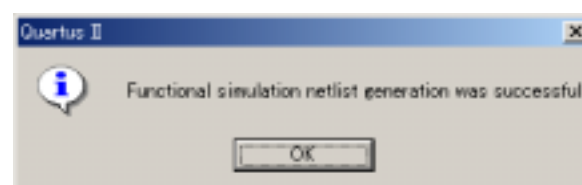
## 7. シミュレーション Tools Simulator を選択し起動する。




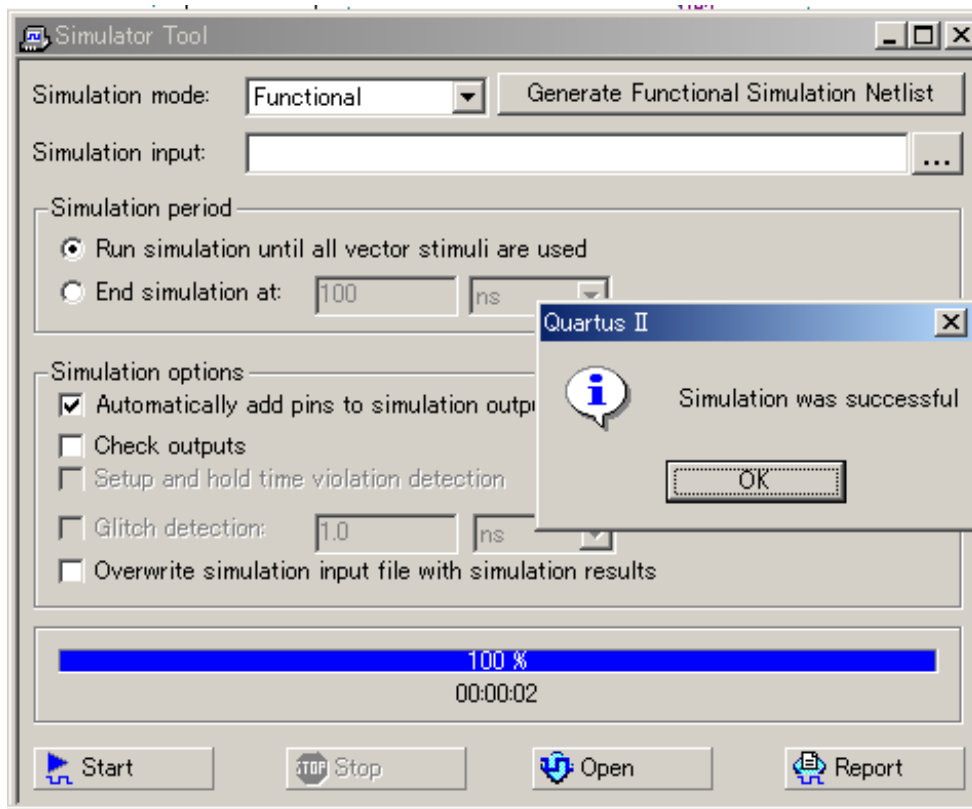
下の Simulator Tool ダイアログで、まず Simulation mode を Functional に設定し、

Generate Functional Simulation Netlist ボタン

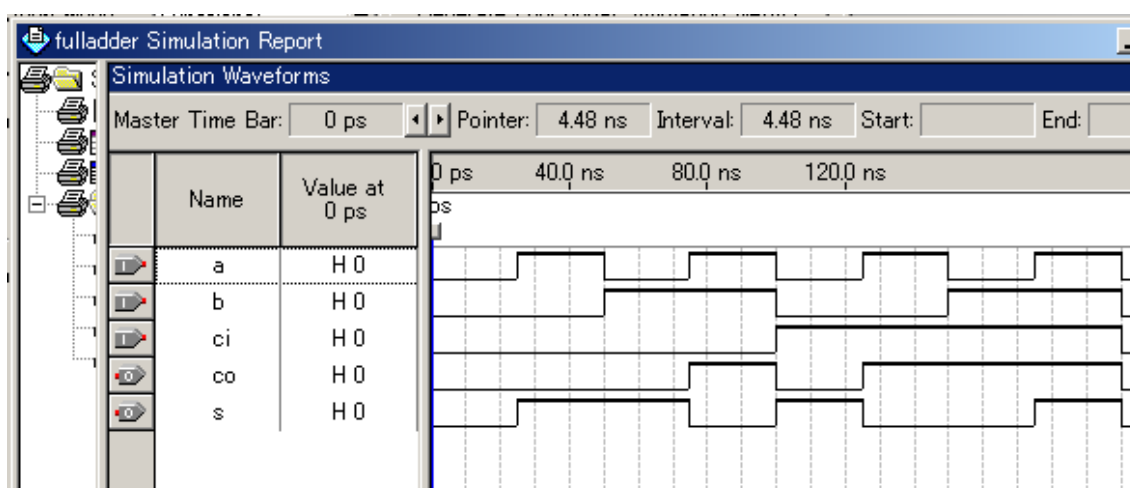
をクリックして、ネット情報を抽出する。抽出に成功すれば、下のダイアログが出るので OK をクリックする。



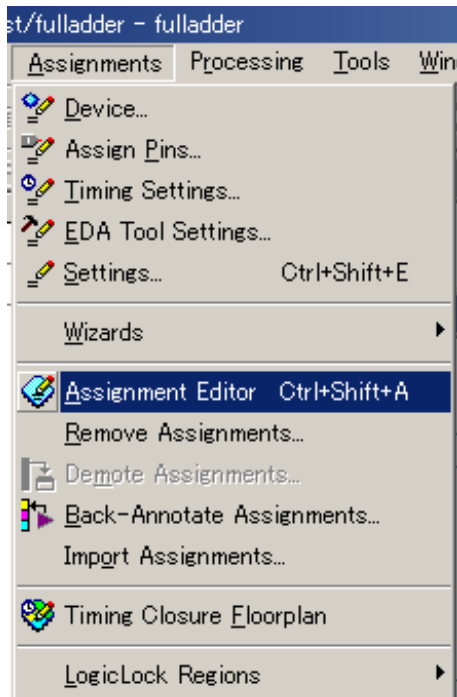
【シミュレーションの実行】 **Simulator Tool** ダイアログの  **Start** ボタンをクリックして実行する。「成功しました」のダイアログが出るので **OK** をクリックする。



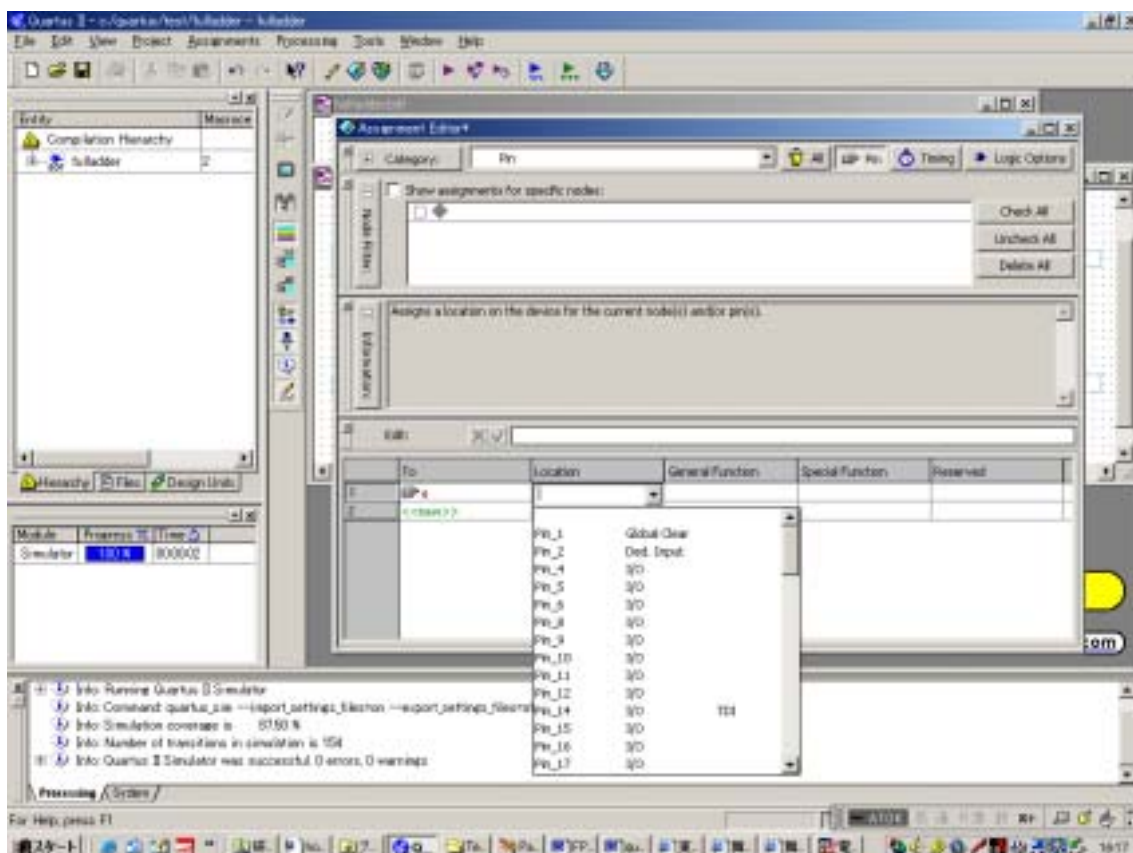
【シミュレーション結果の確認】  **Report** ボタンをクリックし結果を確認する。



## 8. ピンアサイン



メニュー **Assignment** **Assignment Editor** を選び、下の Assignment Editor の **Pin** ボタンをクリックしピンを選択状態にする。



【ピンアサイン】 **To** の下の<<new>>をクリックしてピン名、**Location** の下の<<new>>をクリックしてピン番号を、下のように選ぶ。

なお、入力ピンは評価ボードのバイナリ(ロータリ)スイッチ、出力は I/O(の LED)である。






	To	Location	General Function	Special Function	Reserved
1	 a	PIN_49	I/O		
2	 b	PIN_51	I/O		
3	 d	PIN_45	I/O		
4	 co	PIN_57	I/O		
5	 s	PIN_52	I/O		
6	<<new>>	<<new>>			

表 1 試作 FPGA 評価ボードの外部接続用ピンアサイン

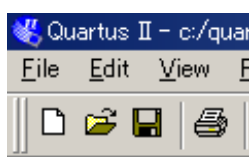
ピン	名称	ピン	名称	ピン	名称	ピン	名称
1	GND	8	I/O58	15	I/O67	22	I/O76
2	I/O55	9	I/O61	16	I/O68	23	Vcc
3	GND	10	I/O60	17	I/O69	24	I/O75
4	I/O54	11	I/O63	18	I/O70	25	Vcc
5	I/O52	12	I/O64	19	I/O73	26	I/O79
6	I/O56	13	I/O65	20	I/O74		
7	I/O57	14	Vcc	21	I/O77		

表 2 バイナリロータリスイッチ ピン番号


SW 桁	上位 H	下位 L
1	40	49
2	41	51
4	39	45
8	37	44

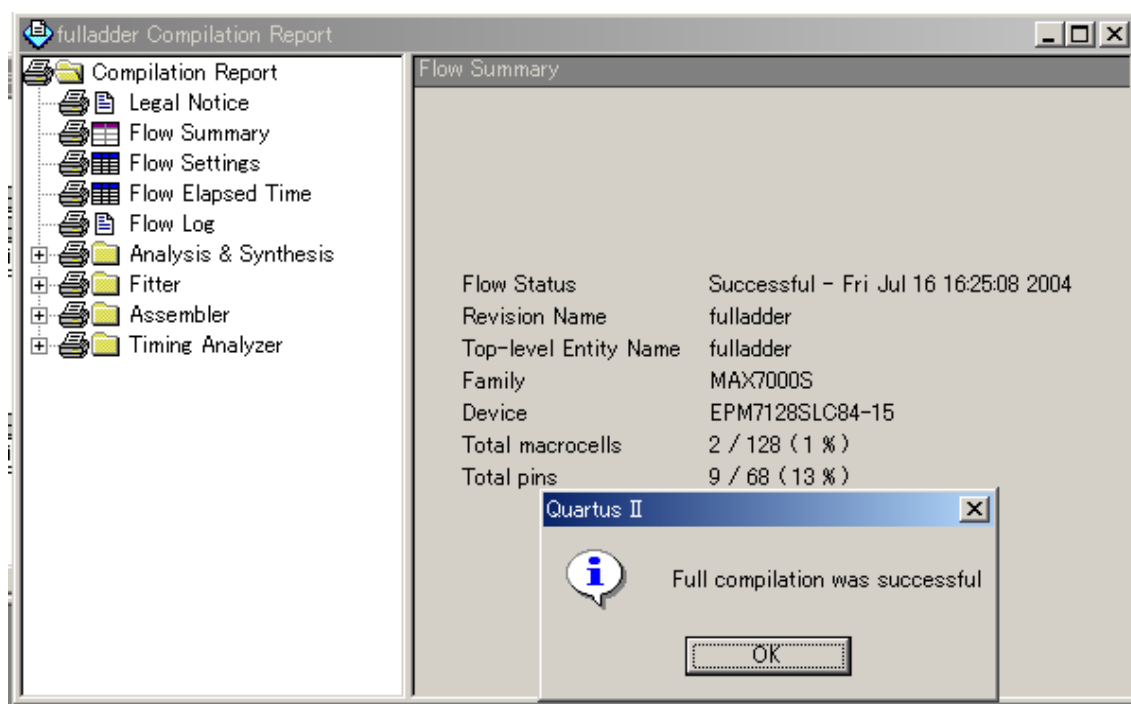
【ピンアサイン・データのセーブ】 フロッピーボタンをクリックする。

(名前は指定しなくて良い)



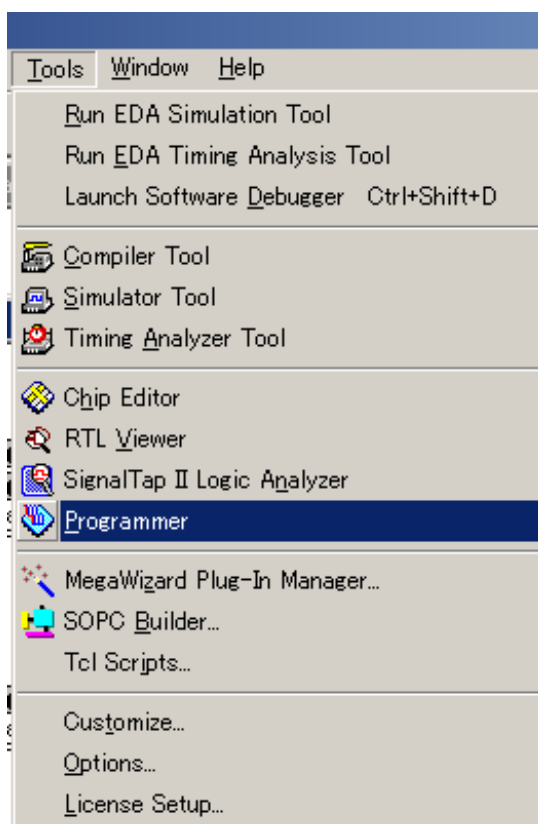


【再コンパイル】  ボタンをクリックし、再コンパイルする。「コンパイルに成功しました」とのダイアログがあるので **OK** をクリックする。




これにより、FPGA(CPLD)に書き込むためのファイル(fulladder.pof)が作成される。

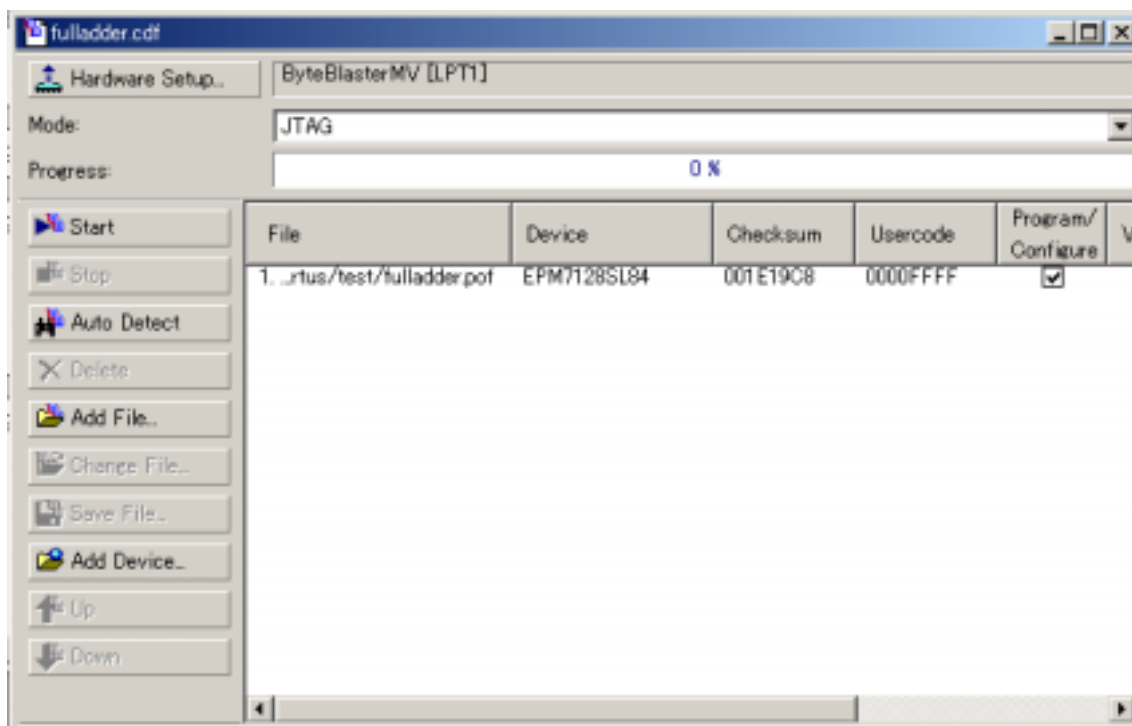
## 9. プログラミング(ダウンロード)



メニュー **Tools Programmer** を選ぶ。  
 バイトプラスケーブルで、パソコンにプリンタポートと FPGA 評価ボードを接続し、FPGA 評価ボードに電源を入れる。  
 下の Programmer ダイアログの **Mode** を **JTAG** に設定し、 **Program/Configure** に

チェックして、 **Start** をクリックすれば書き込みが実行される！！

あとは、目視、オシロ、ロジアナなどで動作確認をする。



## 付録 A. MAX7128S 評価ボードの自作

簡単に自作することのできる MAX7128S 評価ボードのプリントパターンを示す。入出力のピンアサインは 24 ページの表 1, 表 2 のとおりである。なお、MAX7000 シリーズの詳細情報は Altera のホームページ <http://www.altera.com> から得られたい。

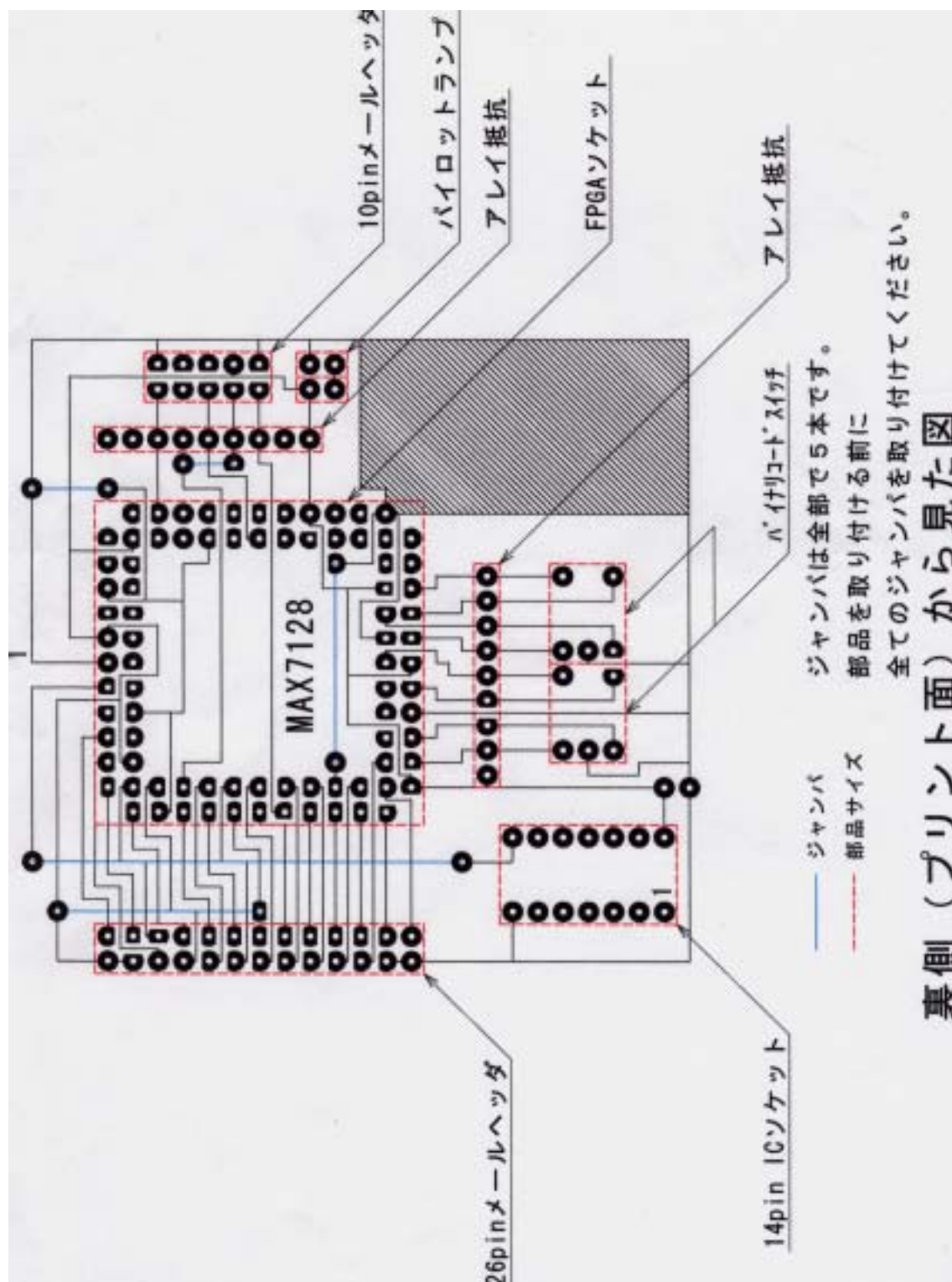


表 3. FPGA 評価ボード部品表

品名	個数	品名	個数
プリント基板	1	ヘッダピン 2 列 10pin	1
PLCC 84pin ソケット	1	ヘッダピン 2 列 26pin	1
DIP 14pin ソケット	1	水晶発振モジュール	1
アレー抵抗 103×8	2	抵抗 470	1
バイナリスイッチ	2	LED 緑	1

表 4 MAX7128S ピンアサイン表

ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
1	GCLR	21	I/O	41	I/O	61	I/O	81	I/O
2	OE2/GCLK2	22	I/O	42	GND	62	TCK	82	GND
3	Vcc	23	TMS	43	Vcc	63	I/O	83	GCLK1
4	I/O	24	I/O	44	I/O	64	I/O	84	OE1
5	I/O	25	I/O	45	I/O	65	I/O		
6	I/O	26	Vcc	46	I/O	66	Vcc		
7	GND	27	I/O	47	GND	67	I/O		
8	I/O	28	I/O	48	I/O	68	I/O		
9	I/O	29	I/O	49	I/O	69	I/O		
10	I/O	30	I/O	50	I/O	70	I/O		
11	I/O	31	I/O	51	I/O	71	TDO		
12	I/O	32	GND	52	I/O	72	GND		
13	Vcc	33	I/O	53	Vcc	73	I/O		
14	TDI	34	I/O	54	I/O	74	I/O		
15	I/O	35	I/O	55	I/O	75	I/O		
16	I/O	36	I/O	56	I/O	76	I/O		
17	I/O	37	I/O	57	I/O	77	I/O		
18	I/O	38	Vcc	58	I/O	78	Vcc		
19	GND	39	I/O	59	GND	79	I/O		
20	I/O	40	I/O	60	I/O	80	I/O		

## 付録 B. バイトブラスタ・ケーブルの自作

Altera 社から公開されている図 1 リダウンロードケーブル(バイトブラスタ)は簡単に自作できる。

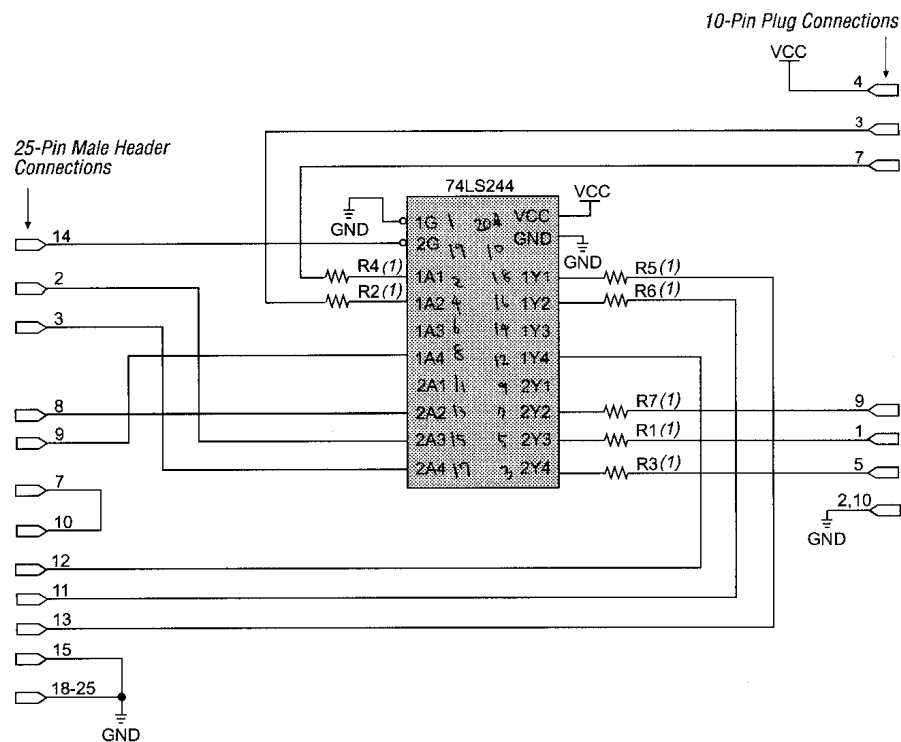


図 1 バイトブラスタ回路図(抵抗は全て 33 )

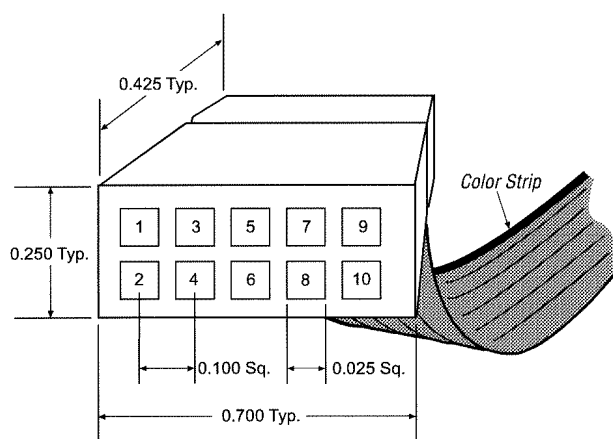


図 2 バイトブラスタ・メールヘッダ・コネクタ

表 5 バイトブラスタ・メールヘッド・コネクタ信号

Pin	Signal Name	Description	Pin	Signal Name	Description
1	TCK	Clock	6	-	No Connecnt
2	GND	Signal GND	7	-	No Connecnt
3	TCO	Data from device	8	-	No Connecnt
4	VCC	Power supply	9	TDI	Data to device
5	TMS	Control	10	GND	Signal GND

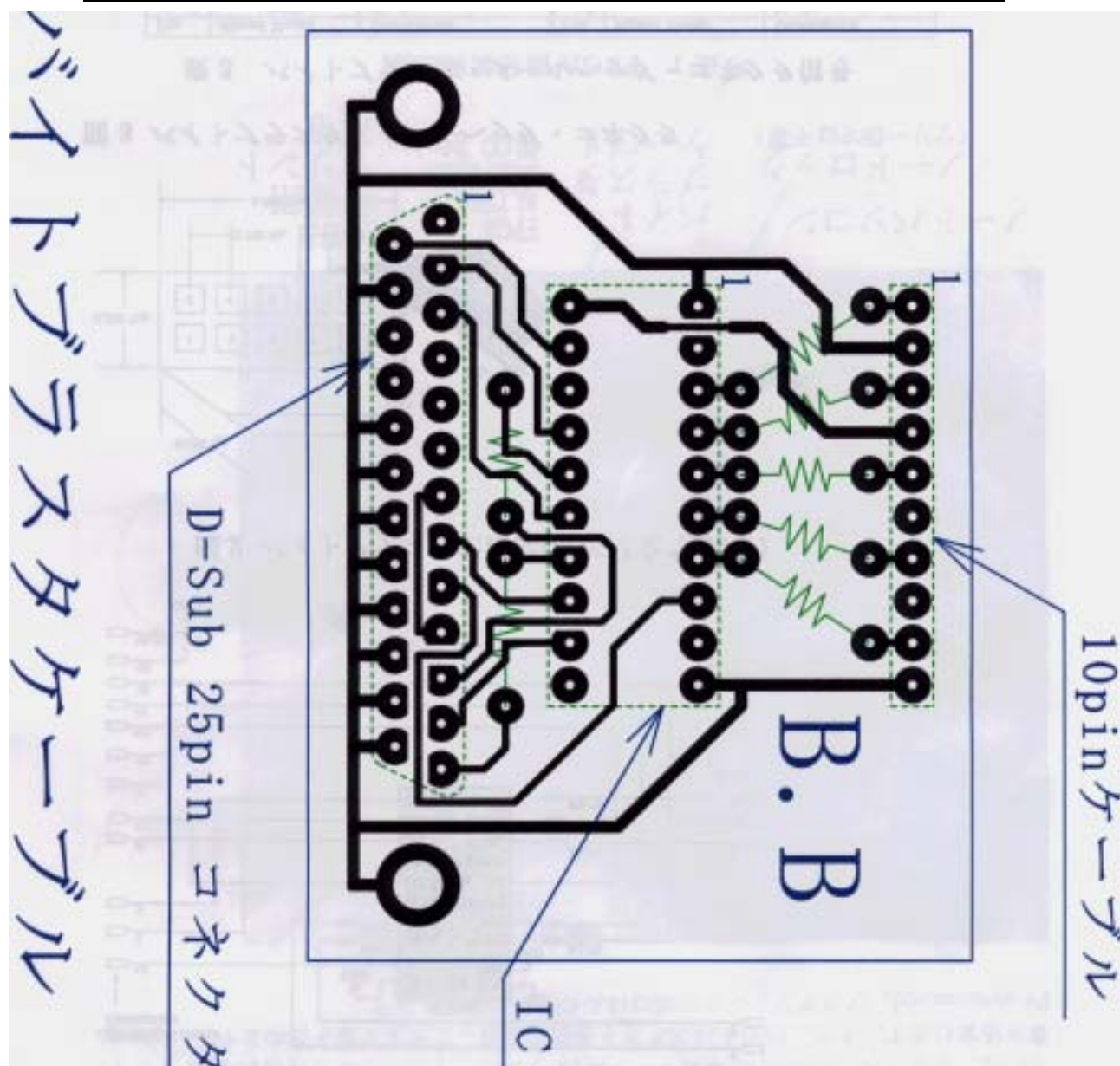


図 3 バイトブラスタ基板実体配線図